



WP312 (v1.0) 2010 年 2 月 19 日

赛灵思新一代 28nm FPGA 技术概览

作者: Susan Chen, Xin Wu 和 Prabhuram Gopalan

赛灵思选用 28nm 高介电层金属闸 (HKMG) 高性能低功耗技术，并将该技术与新型一体化 ASMBL™ 架构相结合，从而推出能降低功耗、提高性能的新一代 FPGA。这些器件实现了前所未有的高集成度和高带宽，为系统架构师和设计人员提供了一种可替代 ASSP 和 ASIC 的全面可编程解决方案。

赛灵思的 28nm 技术与架构创新：

- 相对于其它 28nm 高性能方案而言，可将静态功耗降低多达 50%。
- 相对于前代 FPGA 而言，可将系统级性能提升多达 50%。
- 相对于前代 FPGA 而言，可将容量提升 2 倍，总功耗降低多达 50%。

本白皮书将介绍半导体产业在满足市场需求方面面临的种种挑战，以及如何通过恰当的 28nm 工艺技术来应对这些挑战。高性能、低功耗工艺与架构创新这种突破性组合，使最新 28nm FPGA 非常适用于节能、超带宽、超高端等应用。

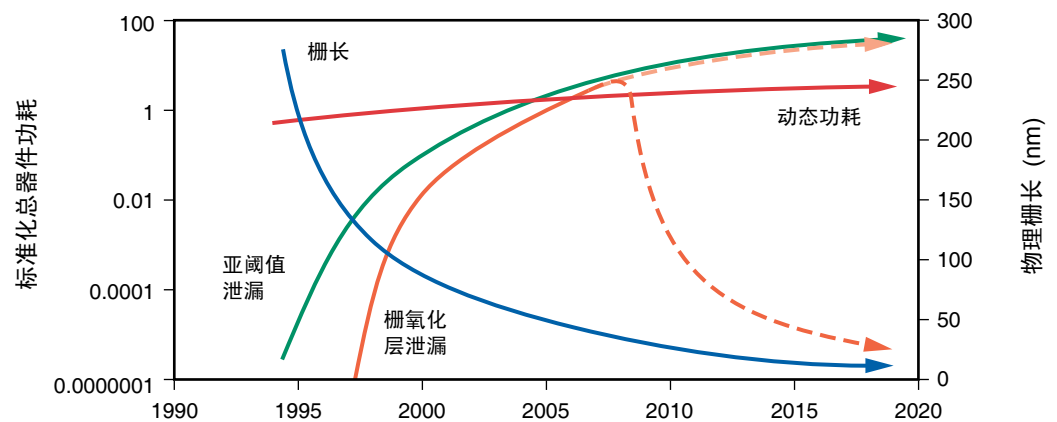
经济及技术挑战：

降低静态功耗以提高可用性能，并降低系统功耗

随着越来越多的系统集成多个集成电路 (IC)，系统功耗不断增加，这是全球关注的问题。除了带来环保影响外，功耗的增加也会增加系统构建及运营成本。要想散去多余热量，就必须使用复杂的散热片、风扇甚至更多的稳压器，而这些都会增加资本支出 (CAPEX)。运营支出 (OPEX) 包括设备运行以及制冷所需的电力，也会随着总功耗的增加而增加。此外，系统过热会降低可靠性，增加系统停机风险，并提高运营成本。

摩尔定律继续发挥作用。新一代半导体工艺技术都会提高集成度，降低成本。不过，上述优势往往会被增加的静态功耗抵消。每次缩减外形尺寸，似乎不可避免地都会提升静态功耗，这种现象在 FPGA 产业中尤为突出。此前，FPGA 产业在采用最先进的工艺技术为客户提供更高性能及容量方面一直处于半导体产业的领先地位。最后，系统设计人员发现，由于功耗原因，他们很难充分利用更高的密度和电路速度。支持新一代系统的关键在于为设计人员提供更高的“可用性能”，也就是说，要在可用功耗预算范围内提供尽可能高的数据处理能力。降低静态功耗可为动态 (工作) 功耗留下更多功耗预算，从而提高可用性能，进而也能提高接口的带宽，并为同一 FPGA 中的逻辑、存储器、DSP 及其他功能提供更多资源。

FPGA 设计的关键挑战在于管理动态功耗的同时控制静态功耗 (漏电流) 的提升，静态功耗完全是开销，对性能毫无益处。不幸的是，工艺的提升反而会增加静态功耗。事实上，在某些情况下，静态功耗的提升幅度还会超过动态功耗 (参见图 1)。



数据来源：半导体产业协会；半导体国际技术发展规划，2002 年更新；SEMATECH：得克萨斯州奥斯汀，2002 年。

WP312_01_021810

图 1: 器件动态及静态功耗总体趋势

在 28nm 节点出现之前, FPGA 产业尝试通过降低电源电压和多晶体管阈值电压来解决功耗提升的问题, 并取得了一定成功。不过, 随着 28nm 工艺的出现, 我们必须采用新的方法。

为了解决 28nm 工艺技术的可用性能问题, 赛灵思与技术及制造合作伙伴台积电 (TSMC) 和三星电子合作开发了面向 FPGA 的 HKMG 高性能低功耗 28nm 工艺技术。该最新 28nm 工艺技术建立在 40nm FPGA 工艺开发的成功基础之上, 并推出了最新 HKMG 技术, 从而可以通过降低功耗最大限度地提高可用的系统性能。

赛灵思做出的这一技术选择在 FPGA 产业中是独一无二的, 不过已经被其它领先的 IC 供应商所采用, 因为该技术相对于其他工艺技术而言能大幅降低静态功耗。就 28nm 节点而言, 静态功耗往往占器件总功耗的绝大比例。因此, 要想最大化功率效率, 工艺技术的选择至关重要。

大幅降低 28nm FPGA 静态功耗能为动态 (工作) 功耗留下更多系统功率预算, 从而提高集成度和性能水平, 这样既能让设计人员以更低的功耗实现产品, 又能在相同的功耗预算内创建容量和性能更出色的产品。

最佳 28nm FPGA 工艺技术: HKMG — 高性能低功耗

传统的 FPGA 工艺技术在 28nm 工艺上已经达到了功耗极限, 因此也达到了性能极限。问题的根源在于几十年来用于构建 IC 晶体管的多晶/氮氧化硅。

为了提高晶体管的速度, 半导体工程师一直在随着工艺技术的提高努力减小门介电层的厚度。不过, 由于介电层的隧道效应和门本身的漏电流, 电介质厚度的减少会导致漏电流增加, 这就造成工艺技术每次节点进步都会大幅提升静态功耗。

赛灵思以创新型的三重门极氧化层电路技术成功控制隧道电流效果, 从 90nm 工艺到 40nm 工艺节点一直都比较成功。不过, 就 28nm 工艺而言, 门极氧化层太薄了, 必须用最新门材料和架构来处理隧道效果。为了控制门下的漏电流 (亚阈值泄漏), 赛灵思工程师在整体晶体管设计过程中进行了审慎权衡。

为了解决 28nm 工艺问题, 赛灵思采用了二氧化铪这种新型门介电材料, 该材料的介电常数 (κ) 较高, 可增减门极厚度, 这就使晶体管不太容易受到隧道电流效应的影响。举例来说, 40nm 工艺使用的二氧化硅 κ 值为 3.9, 而 28nm 金属闸技术所用的二氧化铪 κ 值则为 25, 这就成为高性能低功耗 28nm 工艺技术的最佳选择 (参见图 2)。

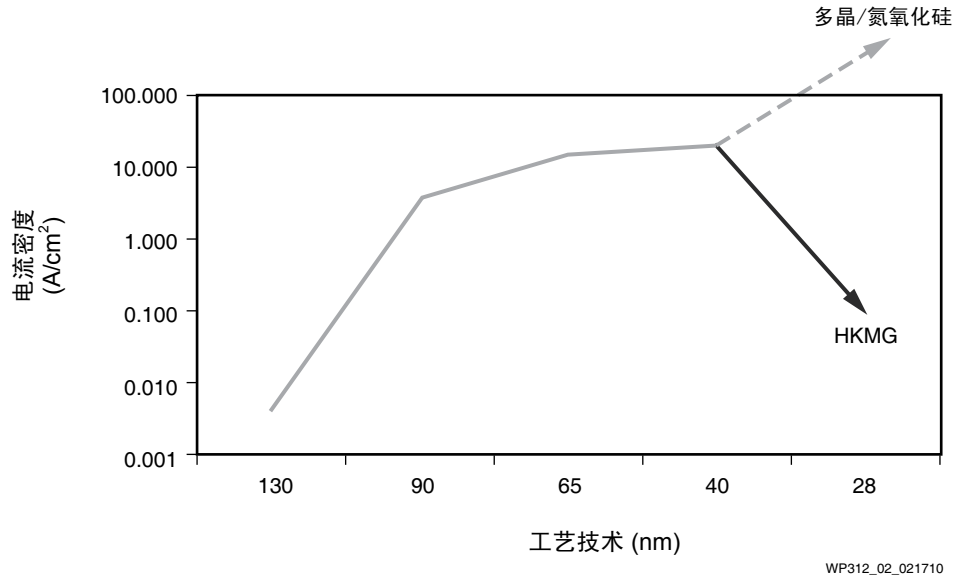


图 2: 随工艺技术提高的门电流密度

赛灵思评估了多种 28nm 工艺技术，其中包括标准的低功耗 (LP) 和高性能 (HP) 工艺，最后决定采用 28nm HKMG 高性能低功耗工艺技术。

28nm 低功耗工艺是多晶/氮氧化硅 40nm 技术的简单升级，风险较低。不幸的是，该技术不适用于 FPGA，因为其晶体管切换速度太慢，性能不够高。与此形成对比的是，28nm 高性能技术专为实现高性能而优化，但又会造成功耗过高，也限制了可用性能 (参见图 3)。

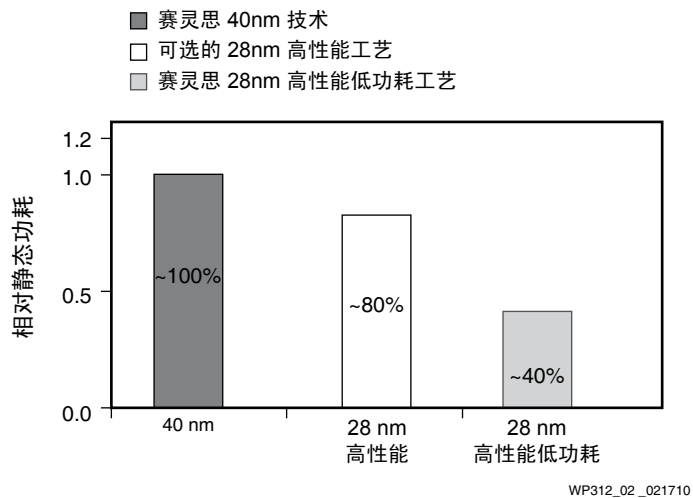


图 3: 40nm 和 28nm 工艺技术实现同样性能的静态功耗比较

28nm 高性能 (HP) 工艺技术还需要将 HKMG 与 SiGe 应变技术相结合。两种高级技术在制造工艺中相结合，相对于采用 HKMG 和应力衬垫应变技术的更为简单的高性能低功耗 28nm 工艺技术而言会存在更多风险。

除了与业界领先公司 UMC 开展 40nm 工艺技术合作之外，赛灵思对多种工艺进行广泛评估之后，现在还与业界两大领先的芯片代工厂台积电和三星电子开展 28nm 工艺合作。台积电和三星电子最能满足赛灵思的新一代 FPGA 产品需求。这两家代工厂的技术都为性能和功率效率进行了平衡优化，可满足确切的产品要求。赛灵思的 28nm 技术与其业经验证的多代工厂战略一致，从而可以加速产品上市进程，保持技术领先地位，同时还能通过不同地理位置的合作减轻供应风险。

解决两难困境： 以更低功耗实现更高性能

FPGA 设计旨在满足汽车、广播、消费、工业、医疗、测试与测量、视频、有线通信和无线通信等不同市场的多种不同应用需求。赛灵思的 28nm FPGA 产品在定义过程中得到了上述市场领域众多客户的支持，其目标就是将功耗降低一半，而系统性能则提升一半乃至更高。

为了成功应对更高的系统性能需求这一挑战，赛灵思与客户开展密切合作，共同了解并确定系统中的架构瓶颈。外部接口瓶颈几乎是实现高性能的无所不在的重大瓶颈。为了实现客户所需的高接口速度，我们认为缩短时延并提高噪声容限是关键因素。

为了满足 28nm FPGA 的接口性能要求，赛灵思大幅提升了时钟技术，并决定加强关键数据路径组件，从而大幅改善了外部存储器接口，可将整体系统性能提升一半以上。

就许多高性能微处理器而言，最重要的设计特性就是原始的内核速度。与此形成对比的是，FPGA 可以适中翻转率执行高性能数据处理任务；设计人员可充分发挥 FPGA 架构内在的并行处理优势来创建较宽的数据路径，而时钟运行速度则远远低于输入输出线速。由于器件容量提升了 2 倍，因此 28nm 技术能支持更高的流水线和并行处理能力，进一步提升了内核性能。这类似于微处理器领域采用多核设计的发展趋势，虽然每个内核的工作频率降低，但整体性能却超过单一一个高强度运行的内核。

结合时钟技术创新以及加强关键数据路径组件，有助于提升片上及片外数据传输效率，FPGA 内核性能的提升可增强整体系统性能。

除了高性能低功耗工艺技术这一最佳选择之外，28nm FPGA 还受益于创新性时钟门技术以及最新布局布线算法，可进一步降低功耗。精细粒度时钟门技术是一种专利算法，可分析逻辑方程并禁用无益于最终结果的多余逻辑转换。由于删除了不必要的逻辑工作，从而能将功耗平均降低 20% (参见图 4)。

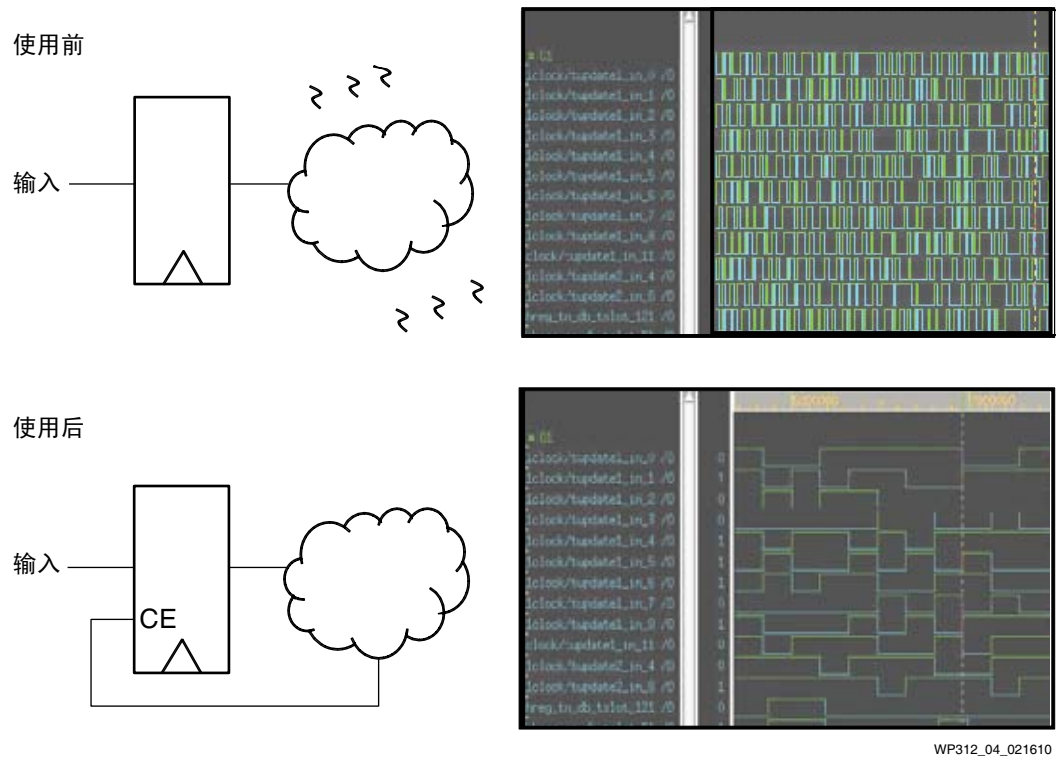


图 4：精细粒度时钟门使用前后的逻辑工作

上述设计方法和工具增强配合第五代部分重配置和新型一体化 ASMBL 架构等技术，可进一步降低功耗并实现更有效的密度。

业经验证的方法： 加速 28nm FPGA 上市进程

多年来，赛灵思采用的是一种可以确保每个工艺节点的 FPGA 产品快速可靠推出的方法。这种方法 20 多年来不断改进，在各个技术节点上都取得了成功。

这种方法的一个关键特点就在于对芯片测试工具的智能使用，确保在 FPGA 产品推出之前很早就做好技术准备，并对包括器件性能、设计/工艺裕量、片上变化、制造设计 (DFM)、关键模块验证、工艺和产量稳定性、裸片-封装相互影响以及最终的产品可靠性等在内的所有领域进行全面检查。测试工具的效率要提升，必须确保重要的测试结构和设计/IP 模块与器件和工艺开发的重要时间节点相协调，而不能单纯关注开发进程中部署的测试工具的绝对数量。

这一业经验证的技术开发方法包括四个阶段 (参见 图 5)。

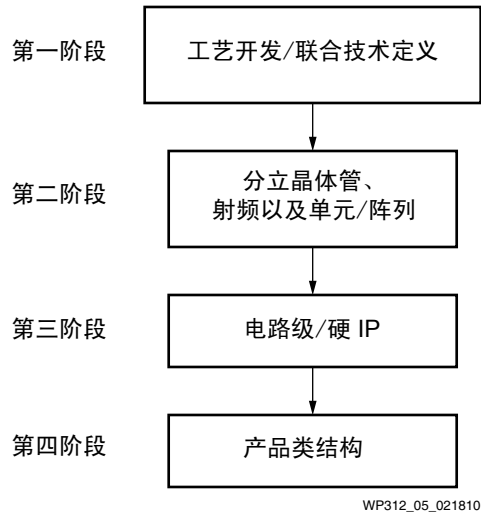


图 5: 测试工具开发的四个阶段

第一阶段开始时，制造合作伙伴将提供针对特定技术的测试结构，以执行新的工艺模块，支持新设备推出，并评估新材料组合。举例来说，40nm 工艺使用了沉浸式光刻技术和 SiGe 技术，而 28nm 工艺则使用了 HKMG 技术。在第一阶段中，赛灵思与代工厂合作定义并统一技术目标。

配合制造合作伙伴的测试结构，赛灵思还合作开发了更多测试工具，可用专门针对新一代赛灵思 FPGA 的测试结构来验证产品模型。这就使赛灵思能够修改布局和设计规则，并调整模拟模型，从而预测器件/电路性能和可制造性。

在第二阶段中，赛灵思推出更多测试工具，以验证电感和电容（对高速收发器极为重要）以及基于单元/阵列的 FPGA 元件结构等射频组件。

在第三阶段中，电路级 FPGA 模块（如模块 RAM 和配置）和硬 IP 结构添加到测试工具中。这种测试可评估宏级功能和特定 FPGA 模块的性能，包括对电路性能的寄生效应。其他结构能在产品开发早期阶段就明确 ESD 效果特性。我们在一段时间内持续收集并检验工具的实践数据，将器件型号与实际的芯片技术相关联，从而得到有助于提升性能、降低功耗的 FPGA 解决方案。

第四阶段包含了此前各阶段测试工具的重要元件，并增加了对代表性产品类结构的测试。举例来说，调试专门关联于 FPGA 产品布局效果随机问题的 RAM 也对功能和性能进行了描述，并能进行早期产品可靠性评估。

在大部分阶段中，赛灵思都采用了专利基准测试结构，监控专门为 FPGA 定制的电路 IP，从而检测、调试并优化工艺功能，微调性能与功耗。这种监控电路提供了重要信息，使制造合作伙伴能在 FPGA 产品投产之前确定并解决潜在的制造问题，实现更快、更可遇见的产品良率提升。这种专有电路还能精确检测出故障位置，从而快速诊断并解决问题。

专利基准测试结构配合统计分析有助于识别出突显关键进程中边缘性的薄弱点。其他结构均采用整体设计，可识别出进程和设计之间的相互影响，并对不同工艺、电压和温度 (PVT) 条件下的前端 (晶体管级) 和后端 (互联/电介质) 性能及功耗进行早期分析。这种代表性的架构还添加到 FPGA 器件中，对实际 FPGA 器件测试工具结构提供的结果进行进一步的调试和关联 (参见图 6)。

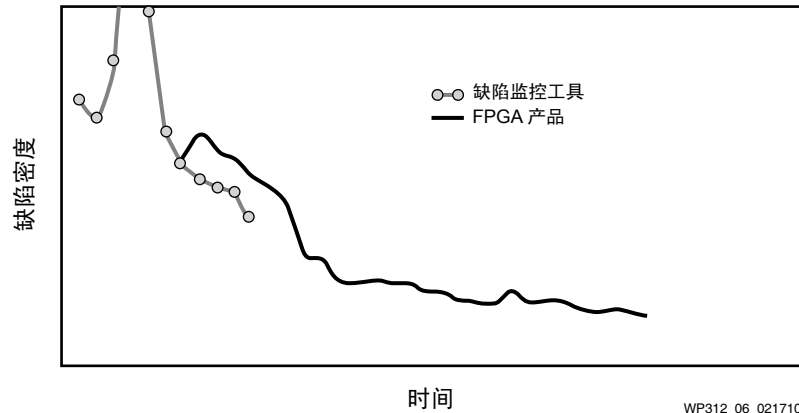


图 6: 缺陷密度随时间的变化

赛灵思技术开发进程还非常重视高速模拟组件。除了电容和电感等基本的构建元件之外，测试工具中还包括了多 PLL 振荡器及其它电路，从而对收发器的关键元件加以描述。振荡器是收发器的核心，需要早期全面描述，以确保频率稳定性，避免相位噪声。边缘速率和回损等更多参数特征化也通过收发器相关结构完成。测试工具将多个结构彼此靠近放置，再结合全后端金属层，可识别潜在的耦合效果以及相邻振荡器间的相互影响。这种贴近性非常重要，因为 FPGA 中带全后端金属层的多个结构与只有一个后端金属层的单振荡器特性不同。有关数据能在技术开发早期阶段就解决问题，并快速让 28nm FPGA 准备就绪。

赛灵思自 2007 年以来一直通过多测试工具开发 28nm 工艺技术，以确保快速可靠地推出新一代 FPGA。

总结

功耗现在是半导体产业的首要关注点，在 FPGA 产业中功耗问题尤为突出。赛灵思在推出 28nm FPGA 过程中采用了降低功耗的新方法，可提高系统可用性能。

相对于前代 FPGA 而言，高性能低功耗 28nm 工艺技术与架构创新和设计开发工具的结合提供了一种一体化的新方法，能够：

- 打破了静态和动态功耗提升的历史定律，可将总功耗减半。
- 将系统性能提升 50%。
- 将容量提升两倍。

最终，我们推出的 28nm FPGA 产品线能帮助系统架构师和逻辑设计人员实现革命性突破。该技术使设计人员能开发出更广泛的 FPGA 应用，从低功耗应用 (如 HDTV、工业控制和车载信息娱乐) 到高带宽以及超高端应用 (如通信设备、高性能计算、软件无线电和视频处理) 等，无所不包。

修订历史

下表列出了本文的修订历史：

日期	版本	修订说明
2010年2月19日	1.0	赛灵思初始版本

Notice of Disclaimer

The information disclosed to you hereunder (the “Information”) is provided “AS-IS” with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NON-INFRINGEMENT OF THIRD-PARTY RIGHTS.