

基于 ARM 的嵌入式系统中从串配置 FPGA 的实现

朱 伟,王广君

(中国地质大学(武汉)信息工程学院,湖北 武汉 430074)

摘要: 介绍一种在嵌入式系统中使用 ARM 处理器从串配置 FPGA 的方法,将系统程序及配置数据存储在系统 Flash 中,利用 ARM 的通用 I/O 口产生配置时序,省去专用的配置 PROM;详细讨论了 Xilinx 公司 FPGA 从串配置的时序;论述了 S3C44B0X 从串配置 Spartan3E 系列 FPGA 的软硬件实现;由于该方法在成本,体积,灵活性上的优势,将此方法应用在嵌入式系统中具有很强的实用价值。

关键词: ARM; S3C44B0X; Spartan3E; FPGA; 从串配置

中图分类号: TP316

文献标识码: A

文章编号: 1006-2394(2007)05-0013-03

Realization of the Configuration of FPGA in Slave Serial Based on ARM Embedded System

ZHU Wei, WANG Guang-jun

(College of Engineering & Information Science, China University of Geoscience, Wuhan 430074, China)

Abstract: This paper introduced a method of using ARM microprocessor to configure FPGA in slave serial in embedded system. System program and configuration data were stored in Flash, the timing was generated by ARM general IO, the dedicated configuration PROM were reduced. It is presented specifically that the slave serial timing to configure Xilinx's FPGA. Also it gave the hardware interface between S3C44B0X and Spartan3E as well as the software realization in details. It is very practical in embedded system design for the advantage of lower cost, smaller size and more flexibility.

Key words: ARM; S3C44B0X; Spartan3E; FPGA; slave serial configuration

1 从串配置的原理

1.1 从串配置原理

Xilinx 公司的 Spartan3E 系列是采用 90nm 工艺的 2.5V 低电压 FPGA 芯片,高性能,低功耗,可无限次编程。XC3S100E 是该系列 FPGA 中的一款,总门数达 10 万门,可采用从串,主串,从并,主并, JTAG 等方式进行配置。与从串配置相关的引脚主要如下:

(1) M[2:0]: 配置模式选择。M2, M1, M0 均接上拉电阻,即 M[2:0] = '111' 时为从串模式。

(2) CCLK: 配置时钟,由微处理器提供,上升沿有效。

(3) DIN: 串行配置数据输入。

(4) DOUT: 串行数据输出,用于菊花链式配置。

(5) PROG_B: 低电平异步复位 FPGA 内部逻辑,当 FPGA 内部逻辑被完全复位以后,该引脚会指示高电平,当此引脚为高时,才能配置 FPGA。

(6) INIT_B: 由低电平到高电平跳变时,采样配置模式即 M[2:0] 的值,确定配置方式;配置过程中若

出现配置错误, INIT_B 将呈现低电平。

(7) DONE: 复位时为低电平,若配置成功,则为高电平。

1.2 微处理器从串配置 FPGA 的时序

FPGA 的配置过程:

(1) 系统上电后,将 PROG_B 拉低以复位 FPGA 内部逻辑,重新配置 FPGA。充分复位内部逻辑后(100 μ s 左右),将 PROG_B 置高。

(2) INIT_B 保持低电平,在 PROG_B 拉高大于 300ns 后, FPGA 将 INIT_B 置高,在 INIT_B 由低向高跳变的瞬间,采样配置模式 M[2:0],此系统采用从串配置模式。

(3) 在 FPGA 采样配置模式后,微处理器就可以给 FPGA 配置时钟 CCLK 和配置数据 DIN,在 CCLK 的每个上升沿,每 bit 数据被传入 DIN,数据字节先发低位,再发高位,配置过程中若发生错误,则 INIT_B 呈现低电平。

(4) 所有配置数据传送完成, CRC 校验无误,则 DONE 呈现高电平,否则为低电平。

收稿日期: 2007-03

作者简介: 朱伟(1982—),男,在读硕士,研究方向是嵌入式系统的设计与应用;王广君(1964—),男,教授。

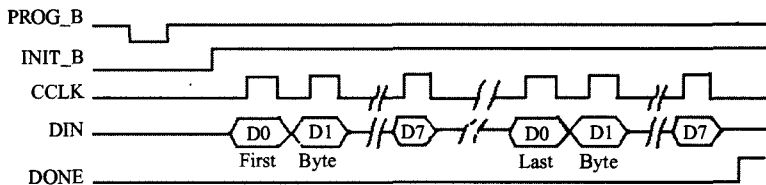


图 1 FPGA 从串配置时序图

(5) DONE 为高后, FPGA 释放全局三态 (GTS), 激活 IO 管脚, 释放全部置位、复位信号, 全局写使能 (GWE) 有效, 开始执行配置区里的逻辑。

微处理器从串配置 FPGA 的时序如图 1 所示。

1.3 配置文件产生的方法

用 Xilinx 公司提供的开发工具 ISE8.1 将工程经过综合, 映射, 布局布线后就可以产生编程文件, 编程文件有 .bit .bin .mcs .tek .hex 等格式。 .bit 格式用作 JTAG 下载, 其他几种格式用作专用 PROM 编程。首先我们按照产生专用 PROM 编程文件的方法产生 .bin 文件, 然后将该 bin 文件转换成 ASC II 码文件存储形式, 并且各个字节之间用逗号进行了分隔, 把该配置数据存放在系统程序的一个头文件的数组 config_data_array[] 中, 作为系统程序源代码的一部分, 和其他程序一起编译。

2 硬件设计

嵌入式微处理器 S3C44B0X 片内集成 ARM7TDMI 核, 集成了丰富的外围功能模块, 内部增加 8K Cache, 大大提高了性能; S3C44B0X 可访问 256MB 的地址空间, 最高运行频率达 66MHz。采用 4M Flash 作为程序存储器, 用于存放系统运行的代码, XC3S100E 从串配置程序和配置文件都固化于其中保存, 该 Flash 支持低电压写入 (1.65 ~ 3.3V)。8M 的 SDRAM 是程序的运行空间。直接运行 Flash 中代码, 速度非常慢。通常的做法是把 Flash 中的代码搬到 SDRAM 中运行。S3C44B0X 与 XC3S100E 接口主要是 PROG_B, INIT_B, DONE, CCLK, DIN 五根信号线。如图 2 所示, 其中 VCC33 表示 3.3V, VCC25 表示 2.5V。

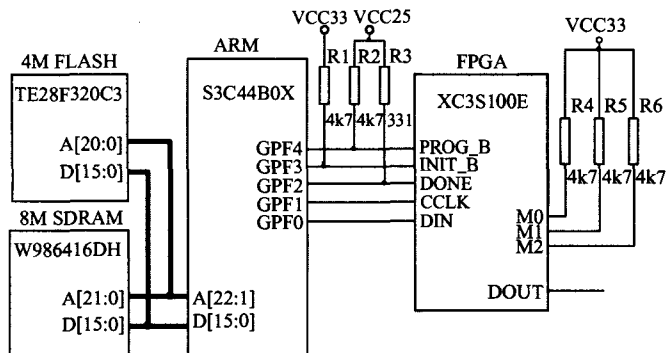


图 2 ARM 从串配置 FPGA 的硬件接口图

3 软件设计

3.1 软件设计流程图 (图 3)

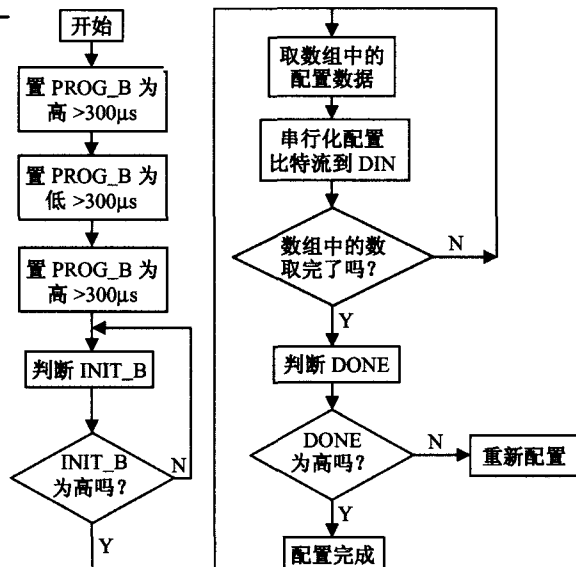


图 3 从串配置时序软件实现流程图

3.2 配置时序在 S3C44B0X 上的实现

配置软件的编程要确保 ARM 完全按照配置信号的时序来工作, 关键问题是用 S3C44B0X 的通用 IO 口 GPF0, GPF1, GPF2, GPF3, GPF4 模拟 DIN, CCLK, DONE, INIT_B, PROG_B 的时序。下面详细论述图 3 所示软件实现流程图的 C 语言实现。

在 S3C44B0X 中, 大多数引脚都是多功能引脚, 可以通过端口配置寄存器选择引脚功能。以端口 F 为例, 控制寄存器 rPCONF 用作设定引脚功能, 输入, 输出或特殊功能; 数据寄存器 rPDATF[0:8] 对应 GPF0 ~ GPF8 引脚上的数据。读写寄存器 rPDATF 相应位, 就相当于对相应引脚的读或写。例如 CCLK 上升沿可先向 GPF1 先写 0, 再写 1 得到, 延时程序可由 for 循环实现:

```
rPCONF = (rPCONF & 0xfff7) | 0x0004; //rPCONF[3:2] = 01 将 GPF1 设置为输出脚
```

```
rPDATF = rPDATF & 0xfffd; //将 GPF1 置低
```

```
rPDATF = rPDATF | 0x0002; //将 GPF1 置高
```

```
for(i=0; i<125; i++); //延时 1µs
```

```
读取某个引脚状态, 如等待 INIT_B (GPF3) 为高:
rPCONF = (rPCONF & 0xfff3); // rPCONF[7:6] = 00 将 GPF3 设置为输入脚
```

```
while(rPDATF & 0x0008 == 0); //直到 GPF3 为高, 否则一直在这循环等待
```

CCLK 在每个上升沿把 1bit 的数据打入 DIN, 先将 GPF1 置低, 把 1bit 数据在 GPF0 准备好, 再将 GPF1 置高即可, 这样循环着把 config_data_array[] 中的每个字节按先低位再高位的次序写入 FPGA。

Xilinx 每个特定型号的 FPGA, 其配置文件大小是

相同的,跟 FPGA 内部逻辑设计的复杂度无关。以 Spartan3E 系列 10 万门 FPGA XC3S100E 为例,它的配置文件固定为 581344bits,若 CCLK 的时钟周期设置为 $2\mu\text{s}$,配置时间约为 1.2s。

4 实验结果验证

验证环境:硬件采用自己开发的实验板,武汉创维特公司的 JTAG 硬件仿真器。软件方面,FPGA 使用 Xilinx 公司的开发工具 ISE8.1,ARM 开发工具使用武汉创维特公司的集成开发环境 ADT 1000 支持 ARM7,ARM9。

用 Verilog HDL 编写程序 led.v 在七段数码管上循环显示 0—F,用 ISE8.1 编译,综合,映射,布局布线,生成用于编程专用 PROM 的 led.bin 文件。用一个简单的 C 程序将该 bin 文件转成 ASCII 码文件,将该 ASCII 码文件复制到配置数据数组 config_data_array[] 中,然后把配置程序,配置数据,和系统程序在 ADT 环境下一起编译,将生成的 bin 文件通过 JTAG 口烧写到 FLASH 中。重新上电后,FPGA 配置正常,实验运行结果与预设一致。

5 结束语

基于 ARM 的 FPGA 从串配置方案结构简单,接线容易,软件编程也不复杂,该方案在系统成本,系统体

积方面的优势,在嵌入式系统设计中尤为重要。虽然该配置控制电路是为配置 Xilinx 公司 Spartan3E 系列的 FPGA 而设计的,但稍加修改也可用于其他系列的 FPGA 器件,故具有一定的通用性。另外,由于 FPGA 具有可重复配置的灵活性,在嵌入式系统中可通过串口,网口远程烧写 FLASH,重构系统功能,这种在线重构技术,为设备的智能化在线维护,功能重组和在线升级等提供了可能,灵活性很强。本文提出的方案,对数字系统设计具有相当的借鉴意义,有着广阔的应用前景。

参考文献:

- [1] Samsung Electronics. User's Manual S3C44B0X 32Bit RISC Microprocessor[Z]. 2003.
- [2] 胡修林,席向清,张蕴玉. 嵌入式系统中 FPGA 的被动串行配置方法[J]. 单片机及嵌入式应用,2004,(3):21-31.
- [3] Xilinx. The Programmable Logic Company Spartan3E FPGA family data sheet[Z]. 2006.
- [4] Xilinx. Application Note: Using a Microprocessor to Configure Xilinx FPGAs[Z]. 2002.
- [5] Xilinx. Application Note: The low-cost efficient Serial configuration of FPGAs[Z]. 1998.
- [6] 田泽. 嵌入式系统开发与运用[M]. 北京航空航天大学出版社,2005.
- [7] 陈曦. ARM 嵌入式实验教程(基础篇)[M]. 武汉创维特公司,2003. (许雪军编发)

(上接第 12 页)

电网电压边沿在本机电压边沿之后,那么退出中断,继续等待。如果满足 T_L 小于 $0.5T_w$,那么根据公式计算求取 $T_{L\uparrow}$, $T_{L\uparrow}$ 为理论计算电网电压周期与本机电压周期差。具体根据公式 $T_{L\uparrow} = T_k * (T_w - T_F) / T_F$,其中, T_k 为并联信号发出后执行元件与机构的动作时间。如果 T_L 和 $T_{L\uparrow}$ 满足一定误差要求,即可设置并车标志并退出中断,图 4 中 ε 为允许时间偏差范围。

与此类似,电网电压对应方波下降沿,引起中断的处理程序中,也需要记录中断时的当前时间,然后求出 T_w 。因市电的频率大致 50Hz 左右,属于低频段。本机电网的频率也属于低频信号。所以,对于电网电压周期 T_w 和待并本机电压周期 T_F 的求取,采用测周

法,即在对应方波两个下降沿之间用单片机内部时钟计数。然后求出相应频率大小。

主程序除进行必要的设置外,还需不断查询并联标志位。若并联标志位有效,则立即发出有关并联指令。

4 结束语

本文介绍了一种基于微处理器的发电机并联控制器的软硬件设计。它是基于笔者参与的交通部重点科技项目计划课题“船舶电站集散式控制系统的研究”中的子课题有关设计中的部分内容。该课题于 2001 年通过有关方面的验收。

参考文献:

- [1] 方显进,余慧卿. PLC 高速处理功能在电站自动并车中的应用[J]. 华东船舶工业学院学报,2000,14(3):57-59.
- [2] 吴杰长,等. 柴油机并车控制器试验平台及监测分析系统研究[J]. 内燃机学报,2002,20(3):257-261.
- [3] 管小铭. 船舶电站数字方式并车及检测功率因数原理[J]. 武汉交通科技大学学报,1996,20(3):333-336.
- [4] 周爱军,薛继汉,朱正鹏. 船舶自动电站微机控制系统设计[J]. 佳木斯工学院学报,1996,14(4):298-302.
- [5] 薛征宇. 船舶电站集散控制系统中数字调速系统的研究[D]. 大连海事大学,2001. (许雪军编发)

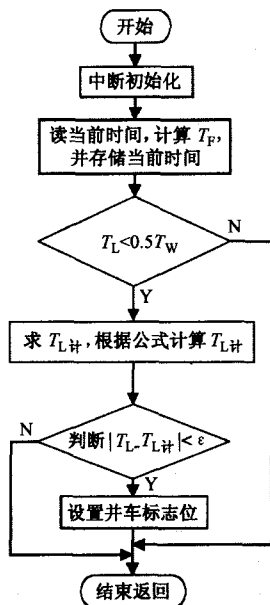


图 4 INT1 中断处理程序