

基于 FPGA 与 DDR2 SDRAM 的高速 ADC 采样数据缓冲器设计

徐家刚,张永伟,徐瑞荣
(船舶重工集团公司 723 所,扬州 225001)

摘要:介绍了一种基于现场可编程门阵列(FPGA)和第二代双倍数据率同步动态随机存取记忆体(DDR2)的高速模数转换(ADC)采样数据缓冲器设计方法,论述了在 Xilinx V5 FPGA 中如何实现高速同步时钟设计和高速数据同步接收设计。

关键词:现场可编程门阵列;模数转换器;数据缓冲器

中图分类号: TP302; TN402

文献标识码: B

文章编号: CN32-1413(2010)01-0104-05

Design of Sampling Data Buffer of High-speed ADC Based on FPGA and DDR2 SDRAM

XU Jia-gang, ZHANG Yong-wei, XU Rui-rong

(The 723 Institute of CSIC, Yangzhou 225001, China)

Abstract: This paper introduces a kind of design method for high-speed analog-to-digital conversion (ADC) sampling data buffer based on field-programmable gate array (FPGA) and double data rate two synchronous dynamic random access memory (DDR2), discusses how to realize the design of high-speed synchronous clock and high-speed data synchronous receiving in Xilinx V5 FPGA.

Key words: field-programmable gate array; analog-to-digital converter; data buffer

0 引言

高速数据采集系统目前已在雷达、声纳、图像处理、语音识别、通信、瞬态信号测试等领域得到广泛应用。它的关键技术是高速 ADC 技术、高速数据缓冲存储技术与传输技术。当大量的高速实时数据经过模数转换后,必须高速存储,然后再读回计算机进行处理。把高速海量的数据缓存下来进行数字处理是设计的关键点和难点。本文针对这些特点,提出了基于 FPGA 与 DDR2 SDRAM 高速采样数据缓冲器的设计方案,实现了高速数据缓存设计,并用于实际工程中,取得了较好的效果。

1 高速 ADC 采样数据缓冲器设计方案

高速 AD 数据以 LVDS 电平传输至 Virtex-5

系列 FPGA XC5VLX50T,这种方式可极大地抑制共模噪声,从而得到比晶体管-晶体管逻辑(TTL)/互补型金属氧化物半导体(CMOS)电平传输更好的抗干扰效果和更低的辐射噪声。FPGA 接收数据后,将数据存入自带的 64 位 DDR2 SDRAM(分 2 个 BANK,每个 BANK 由 2 片 MT47H64M16 拼接而成)。DDR2 的信号线分为时钟信号线 CK/CK、数据信号线 DQ/DQS/DM、地址信号线 Address/BA1/BA0、命令信号线 RAS/CAS/WE、控制信号线 CS/CKE/ODT。数据缓冲器方案如图 1 所示。

1.1 DDR2_SDRAM 介绍

DDR2 和 DDR 一样,采用了在时钟的上升沿和下降沿同时进行数据传输的基本方式,但是最大的区别在于,DDR2 内存可进行 4 bit 预读取,2 倍于标准 DDR 内存的 2 bit 预读取,这就意味着 DDR2 拥

收稿日期:2009-06-21

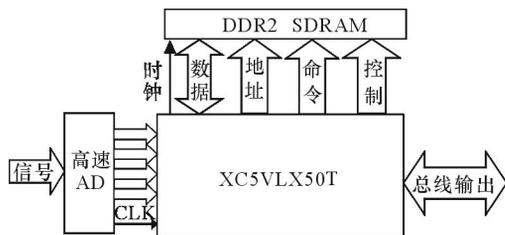


图 1 数据缓冲器原理功能框图

有 2 倍于 DDR 的预读系统命令数据的能力。举例来说,DDR SDRAM 可以采用 200 MHz 的核心频率(内部存储单元阵列时钟)来取得 400 MHz 的实际传输速率,而 DDR2 SDRAM 采用 100 MHz 的核心频率就可以实现 400 MHz 的实际传输速率了。

但 DDR2 内存技术最大的突破点其实不在于所谓的 2 倍于 DDR 的传输能力,而是在采用更低发热量、更低功耗(DDR2 SDRAM 工作电压只有 1.8 V,而 DDR SDRAM 的工作电压是 2.5 V)的情况下,反而获得更快的频率提升,突破标准 DDR 的 400 MHz 的限制,另外还增加了 3 个方面的特性:

(1) DDR2 内存的另一项重要改进是在内存本身集成了信号终结器。在并行总线中,信号传输到一端尽头之后不会自动消失,而会沿着相反方向反射回去,这样就会与后面传送过来的信号发生碰撞,导致传输数据出错。一般情况下,工作频率越高,信号反射的现象就越严重。终结器就是用来解决这个问题的,它可以有效地吸收末端信号,防止数据反射的发生。

(2) DDR2 中还加入了离线驱动调整(OCD)技术。OCD 的主要功能在于调整 I/O 接口端的电压。通过调整上拉/下拉的电阻值使两者电压相等。这样通过 OCD 技术减小数据选取脉冲(DQS)与数据信号(DQ)之间的倾斜来提高信号的完整性,从而提高信号品质。

(3) Post CAS 主要是为了提高总线的利用效率,可以通过调节 Post CAS 的值来使得 bank active 命令和 read/write 命令不至于发生冲突,提高了总线的利用率。

本设计采用的 MT47H64M16 数据位宽为 16 bit,有 8 个 BANK,13 条行地址线,10 条列地址线(行列地址线共用),因此每个内存芯片的容量为 $8\ 192 \times 1\ 024 \times 8 \times 16$ bit,即 1 Gb。4 片 MT47H64M16 芯片被分为 2 组,每组 2 片,就构成了 64 bit 位宽,总容量为 $1\ \text{Gb} \times 4 = 4\ \text{Gb}$,即

512 MB。DDR2 SDRAM 控制器在 200 MHz 的时钟频率下实现,最高可以达到 $200 \times 2 \times 64 = 25.6\ \text{Gb/s}$ 的传输速度。

1.2 Virtex-5 FPGA 介绍

本设计中使用的是 Virtex-5 LXT 系列 FPGA, Virtex-5 LXT 平台提供了业界第一个内建 PCI Express 端点模块和三重模式以太网媒体访问控制器(MAC)模块的 FPGA,为设计人员提供了无需定制的方案,可帮助他们节约时间、降低功耗并节省宝贵的 FPGA 构造资源。基于 65 nm Virtex-5 平台和领先的 ExpressFabric 新技术、成熟的 ASMBL 架构以及低功耗三栅极氧化层技术,与前一代 90 nm FPGA 相比, Virtex-5 LXT 平台的整体性能平均提高 30%,容量提高 65%,动态功耗降低 35%。与软 IP 内核实现方式相比,硬 PCI Express 内核可帮助用户节约多达 10 000 个 LUT 和 2 W 的功耗。

Virtex-5 LXT 系列的主要特点和创新包括:

(1) 业界功耗最低的收发器:多达 24 个 Rocket IO 收发器,工作在 100 Mbps ~ 3.2 Gbps 之间,每对收发器/接收器的典型功耗小于 100 mW。

(2) 内建 PCI Express 模块:完全兼容的端点模块,与 Rocket IO GTP 收发器配合,提供 $\times 1$, $\times 2$, $\times 4$ 和 $\times 8$ PCI Express 接口。

(3) 内建三重模式以太网媒体访问控制器(MAC)模块:4 个独立 10/100/1 000 Mbps 模块,与 Rocket IO 收发器无缝配合。

(4) 业界最好的信号完整性:8 个可编程的发送预校正水平和 4 个可编程的接收均衡水平可适应最苛刻的信道。带有 Chipscope Pro 软件工具集的高级诊断功能为工程师提供了最佳的信号完整性解决方案。

(5) 最广泛的协议支持: Virtex-5 Rocket IO 收发器支持大量业界标准,包括 PCI Express、Gigabit Ethernet、XAUI、SONET/SDH、CPRI 和 OBSAI、串行 RapidIO、HD-SDI 和光纤通道。

(6) 成品设计解决方案:全面的基于协议的解决方案,包括软件、IP 内核、参考设计、开发套件、特性报告、协议兼容认证、协作和设计支持。

(7) 除继承 Virtex-4 FPGA 的所有优势外, Virtex-5 系列器件还提供了一系列增强特性,从而简化了存储器接口的设计,并成功解决了日益提高的总线速度所带来的挑战。

(8) Virtex-5 架构集成了更多的功能,使之能够超越运行频率的极限。Virtex-5 器件为存储器接口设计带来的增强功能包括:

(a) 加入了 Express Fabric 技术。这种架构提升可以使内部逻辑块在更高的时钟频率下运行。基本的逻辑片查找表(LUT)已经从四输入增加到六输入,从而减少了逻辑层次。Express Fabric 技术还提供了额外的布线资源,使逻辑片内部和可配置逻辑块(CLB)之间可以有更多的直接布线。

(b) 将最大的 BANK 尺寸从 64 I/O(或者在特定的 Virtex-4 型号/封装组合中的 80 I/O)减少到 40 I/O,同时增加了 bank 的数量。这样可以在同一 FPGA 上更有效地实现多种 I/O 电平组合。另外,每个 bank 内的 I/O 时钟资源也得以增加。

(c) 除数字时钟管理器(DCM)模块以外,还加入了锁相环模块作为时钟资源。锁相环(PLL)在低抖动时钟生成和输入时钟抖动滤波方面有很大作用。

(d) 增强的 block RAM/FIFO,容量翻倍(36 kb),同时支持最高 72 bit 的位宽,要求纠错码(ECC)检测和纠正的应用,能够利用内置在每个 block RAM 中的 ECC 编码/译码逻辑,从而降低了逻辑块的使用率,相对于使用通用逻辑实现而言可以获得更高的性能。

(e) 支持双向 I/O 的片上分立式 Thevenin 终端的数控阻抗(DCI)(当驱动是三态时)。与很多存储器件系列中实现的片上终端元件(ODT)特性类似,该功能主要针对特定的 HSTL 和 SSTL I/O 标准,而且在 FPGA 向存储器写入数据的时候能够节省功耗。

(f) 在封装衬底上直接加入低感抗的旁路电容,通过降低外部旁路元件简化了印制电路板(PCB)的布局。

2 高速数据实时存储设计

高速数据实时存储的控制由 Virtex-5 系列 FPGA XC5VLX50T 来完成,其主要功能如下:

(1) FPGA 缓存来自 ADC 的高速采样数据,通过地址产生逻辑完成读、写地址指令的产生。

(2) 将数据与地址(其中包括操作指令)进行缓存,在 DDR2 控制器的控制下为 DDR2 SDRAM 提供符合时序要求的数据及地址。

(3) 对 DDR2 SDRAM 进行直接有效的控制,

控制 AD 数据的输入和输出。

(4) 接受数字信号处理器(DSP)指令,等待由数据采集状态转为数据搬移状态。

(5) 缓存从 DDR2 SDRAM 中读出的数据,并通过 EMIF 总线将数据搬移到 DSP 所带的 DDR2 SDRAM 中。FPGA 功能框图如图 2 所示。

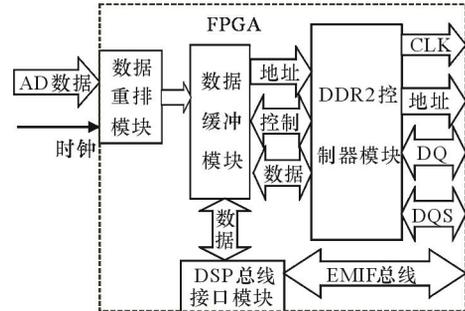


图 2 FPGA 功能框图

其中数据接口模块将来自外部高速 ADC 的数据进行缓冲重排、时钟域的转换,并且产生写、读数据所需要的指令地址信号;数据输入输出缓存模块将来自数据接口模块的同步数据、地址缓存在 FIFO 中,随时供 DDR2 控制器读取,并将读出的高速数据进行缓冲。

DSP 总线接口模块接受来自 DSP 的指令,包括开始采集数据、所需要的数据长度和触发电平、停止采集数据、开始传送数据等,同时产生符合 EMIF 总线工作时序的数据信号。DDR2 控制器则直接对 DDR2 SDRAM 进行控制,产生符合 DDR2 SDRAM 时序的地址、控制信号,在系统上电之初,控制器还必须对 DDR2 SDRAM 进行初始化。

2.1 数据的重排及缓冲

为便于存储器存取,首先需将 8 路数据合并成 1 路 64 bit 的数据(每路舍弃最低 2 位),正好与所用的 DDR2 SDRAM 的单个存储单元的位宽一致。DDR2 SDRAM 在 200 MHz 的工作频率下,上升沿跟下降沿同时传输数据,这样在 1 个时钟周期内可以传输 2 次数据,即总共 128 bit 数据,而如果在前端采用 64 bit 位宽的话,1 个周期只能传输 64 bit,显然不利于提高传输效率,因此要对这 250 MHz、64 bit 位宽的数据进行重排,以得到 128 bit 的位宽。

数据重排的格式如下:如原始数据流为 $D_0, D_1, D_2, D_3, D_4, D_5, \dots$ (D_0 为最先到达的),重排后的数据流为: $(D_1D_0), (D_3D_2), (D_5D_4), \dots$,这样就组成了 128 bit 的位宽,最后从 DDR2 SDRAM 中

读数据时只需按照此规则还原数据即可。

采用串并转换的方法来完成数据重排。主要方法是将 250 MHz 的 64 bit 数据流转换成 125 MHz 的 128 bit 的数据流。这样,经过重排后的采样数据就可以进入先进先出(FIFO)缓冲了。

除缓存数据,FIFO 在本模块中的另一重要作用就是时钟域的转换。外部来的 ADC 采样数据跟外部的 250 MHz 采样时钟同步,而整个系统是基于一个 200 MHz 的全局时钟,要正确地采集来自外部的信号,必须使数据跟系统时钟同步。由于 FIFO 的读写可以使用不同的时钟,这样可以用 125 MHz 的时钟把 128 bit 数据写入 FIFO,而利用 200 MHz 全局时钟可将数据从 FIFO 中读出,这样就完成了时钟域的转换,从而使数据跟系统时钟完全同步。

2.2 DSP 总线接口模块

FPGA 与 C6455 DSP 都通过 EMIFA 连接,

C6455 通过其 EMIFA 的 CE4 与 FPGA 的异步模块通信,接收 DSP 送过来的指令,而通过 EMIFA 的 CE5 与 FPGA 的同步模块通信,将数据传送到 DSP 自带的 DDR2 SDRAM 中去。

2.3 DDR2 控制器模块

DDR2 控制器模块直接与 DDR2 SDRAM 交互,因此在时序控制上要求更精确、更严格。本设计使用 Xilinx DDR2 SDRAM 控制器的 IP 核来实现。

采用 Xilinx 的 MIG 软件工具直接生成 DDR2 控制器设计模块,包括 HDL 代码和约束文件。用户可在 MIG 的 GUI 图形界面选择对应模板、总线宽度和速度级别,并设置 CAS 延迟、突发长度、引脚分配等关键参数。如果设计者所选器件与 MIG 所列模板不相符,可在代码生成后灵活修改代码,达到系统要求。MIG1.72 的图形界面如图 3 所示。

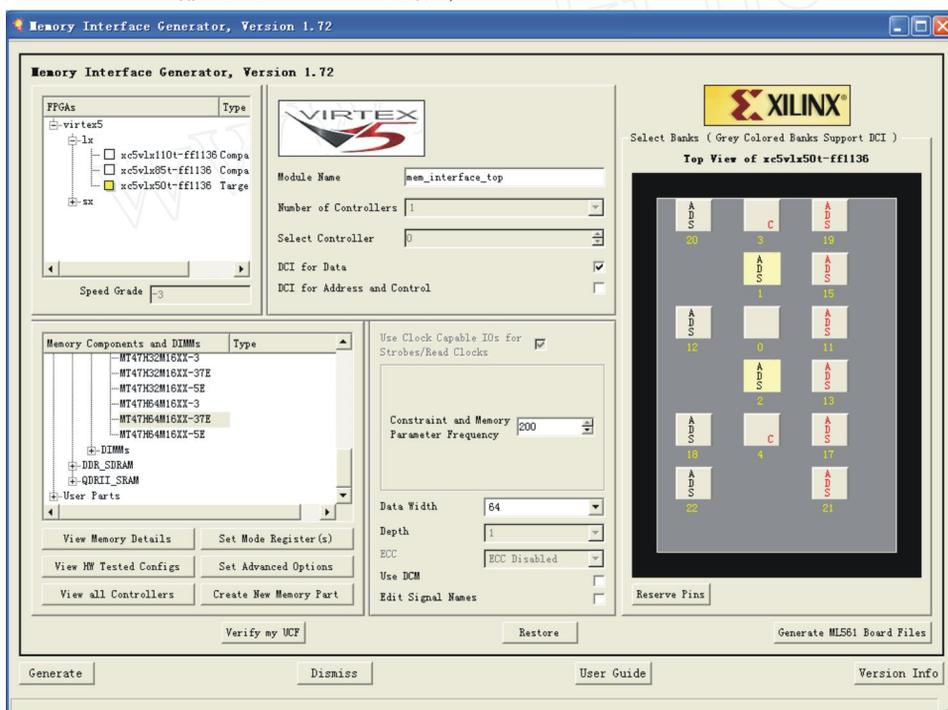


图 3 MIG1.72 图形界面

DDR2 控制器的主要功能是在系统上电过程及系统意外复位发生时,对控制器和所控制的 DDR2 SDRAM 进行初始化设置、复位延时保护等;在系统正常工作时,进行系统读、写请求指令的接收与应答;对系统访问地址的采样与同步;完成所需的所有状态转换、任务调度、总线仲裁、时序同步;并为接口模块产生相应的控制信号;为系统提供控制器状态指示信号;并且调整对应读、写操作的 DQS 信号时

序,建立 DDR2 与数据缓冲模块的数据通道。

3 实时性分析

作为一个高速数据采集系统,能否满足实时性要求也是衡量系统性能的一个指标。下面就这一问题根据实际进行分析。

来自高速 ADC 的 8 路 8 bit 数据进入数据采集系统后,实时地将数据存储到 DDR2 SDRAM 中是

系统所需要解决的最主要问题。所谓实时,在本设计中简单地说就是不能产生数据堆积,即系统在限定的响应时间内必须完成对数据的写操作。高速 ADC 的 8 路 8 bit、250 MHz 的实时数据经过数据接口模块之后,先转换成单路 128 bit、125 MHz 的数据,通过 FIFO 后输出的是单路 128 bit、200 MHz 的数据。以写入 512 个数据为例(数据接口中 FIFO 的存储深度),写满 FIFO 需要的时间为 $8 \text{ ns} \times 512 = 4\,096 \text{ ns}$,读空 FIFO 所需要的时间为 $5 \text{ ns} \times 512 = 2\,560 \text{ ns}$,因此从 FIFO 输出的数据线利用率为 $(2\,560/4\,096) = 62.5\%$,而 DDR2 SDRAM 写入上升沿和下降沿均为 64 bit、200 MHz,最高可以达到 $200 \times 2 \times 64 = 25.6 \text{ Gb/s}$ 的传输速度,所以能满足系统的实时性要求。在数据读出时,由于 DDR2 SDRAM 的读取速度远远高于 DSP EMIF 总线的传输速度(时钟为 100 MHz),因此读出数据的速度

以 DSP EMIF 总线的工作速度为基准。

4 结束语

高速 ADC 采样数据缓冲器设计已成功用于 2 GHz 高速 ADC,并取得了良好的效果。由于在 FPGA 中实现 DDR2 控制器,节省了功耗和空间,并缩短了系统开发周期,满足了大多数低成本系统设计的要求,该方案可以在电子对抗和高分辨率雷达等对待采样信号带宽要求很高的领域中推广应用。

参考文献

- [1] 杨威,黄建国,王志刚. DDR SDRAM 在高速数据采集系统中的应用与设计[J]. 自动化信息,2006(8): 43-45.
- [2] 肖金球,刘传洋,仲嘉霖. 基于 FPGA 的高速实时数据采集系统[J]. 电路与系统学报,2005,10(6):128-131.

(上接第 103 页)

表 1 各阈值函数对 Sinsin 图像去噪后的最小均方误差

算法	加噪后图像	软阈值函数法	硬阈值函数法	软硬折中	模幂次函数法			
					$n=2$	$n=4$	$n=6$	$n=8$
RMSE	20.007 4	6.906 0	6.507 5	6.493 8	6.594 7	6.490 3	6.486 1	6.490 2

从图 2 可以看出,软阈值法能得到比较光滑的图像,几乎没有什么毛刺现象,而另外 3 种阈值法得到的图像均有一定程度的毛刺现象,尤其是硬阈值法所得到的图像毛刺现象最为严重。而从表 1 可以看出,软阈值法、硬阈值法与软硬折中法所得到的最小均方误差依次减少;对于模幂次函数法,选择恰当的 n 值可以对图像实现最佳去噪,本文中当 $n=6$ 时去噪效果相对较好,并优于前 3 种阈值法。

4 结束语

由于噪声和有用信号的频率分布特点及小波变换的时频特性,使小波信号消噪具有较好的优势,但应对噪声性质和信噪比及具体信号进行分析采取合适的处理方法。鉴于此,本文对几种阈值函数效果进行了分析比较,结果表明软阈值函数能得到比较光滑的去噪图像,但其去噪后的均方误差较大,而硬阈值与软硬折中函数去噪后的均方误差较小。对于模幂次函数去噪,选择合适的 n 值可得到比较好的

去噪效果。然而,基于模幂次函数之上,实现 n 值的自适应选择的将会使模幂次函数方法的优越性得以更充分的体现,这需要进一步探讨研究。

参考文献

- [1] 李杏梅,陈亮. 小波阈值去噪在图像去噪中的应用[J]. 现代计算机,2006(10):78-80.
- [2] 孙延奎. 小波分析及其应用[M]. 北京:机械工业出版社,2005.
- [3] 魏明果. 实用小波分析[M]. 北京:北京理工大学出版社,2005.
- [4] Donoho D L. De-noising by soft thresholding[J]. IEEE Transactions Information Theory, 1995, 41(3): 613-627.
- [5] 周静,陈允平,周策,等. 小波系数软硬阈值折中方法在故障定位去噪中的应用[J]. 电力系统自动化,2005,29(1):65-68.
- [6] 韦力强. 基于小波变换的信号去噪研究[D]. 长沙:湖南大学,2007.