

赛灵思 Virtex-5 FPGA 力助 LTE 仿真器

功能强大的可编程逻辑平台使得 Prisma Engineering 公司能够针对所有蜂窝网络提供可重配置无线测试设备。

作者：Catello Antonio De Rosa
高级设计工程师兼 FPGA 专家
Prisma Engineering 公司
catellodr@prisma-eng.com

长期演进 (LTE) 是移动宽带的最新 3GPP 标准，打破了现有蜂窝网络的固有模式。LTE 与前代 UMTS 和 GSM 标准相比，除采用高频谱效率的射频技术外，其架构还得到了大幅简化。LTE 系统的无线接入部分 Node-B，是连接无线电和整个互联网协议核心网络之间的边缘设备。这种架构无法监测和测试等效于 UMTS 中间链路上的元件。必须通过无线电接口，才能有效地测试 LTE 网络元件。

这正是我们在 Prisma Engineering 公司线路服务器单元 (LSU) UeSIM LTE 项目的设计组要解决的问题。该仿真器是针对所有 LTE 测试需求的全面解决方案，可帮助网络设备设计人员对空中接口和核心网络进行测试和监控。单个这种硬件平台即可在每个扇区模拟出多达 1,024 个用户设备。无线电接口的载重 - 应力测试和功能测试覆盖了完整的 LTE 协议栈及其应用。射频前端采用本地多输入多输出 (MIMO) 设计，可支持 5MHz、10MHz、15MHz 和 20MHz 多种不同带宽。

这个高级仿真器中心采用三个赛灵思 Virtex[®]-5 FPGA (XC5VSX50T), 可支持高级软件无线电重配置。总部设于意大利米兰的 Prisma Engineering 公司的设计组很快认识到, 我们需要功能强大、可重编程的架构, 以便能够用同一开发板灵活应对多种无线接入标准。我们的主要目标正如我们的首席执行官 Enrico Bendinelli 所说: “开发业界最灵活、最简便易用的管理软件。”

现有两种用户测试工具: LTE Test Manager (主要针对 LTE 设备厂商提供) 和 Quick GUI (主要针对 LTE 网络运营商提供)。Quick GUI 提供通过 / 未通过测试方案, 而 Test Manager 则可进行更为复杂的分析。

LSU UeSIM LTE 架构

LSU UeSIM LTE 仿真器采用由协议处理单元 (PPU) 模板、软件无线电 (SDR) 模板和支持 MIMO 操作的两个无线电模块共同构成的 CompactPCI 标准架构。

采用 Intel 技术的 PPU 模板是一种主处理器卡, 能够对多个 SDR 模板进行管理, 改善载荷 - 应力性能。软件无线电模板专为扩展我们先前的 LSU 系统在无线电接口的运行性能而设计。CompactPCI 无线电夹层卡负责提供各个不同标准射频带宽的射频发送 / 接收功能: GSM(850 和 900MHz; 1.8 和 1.9GHz)、LTE(700MHz, 2.1、2.3、2.5 和 2.6GHz) 和 WiMAX(2.4、3.5 和 5GHz)。

SDR 卡架构

SDR 卡是一种集成在 LSU 软 / 硬件环境中的高性能平台, 用于提高系统与基带 (CPRI/OBSAI)、无线电接口或者两者之间的连接功能。该卡使用工作在特定频带内的不同外部无线电模块, 可支持各种无线标准, 比如 GSM/EDGE、UMTS、HSPA、WiMAX 和 LTE 等。

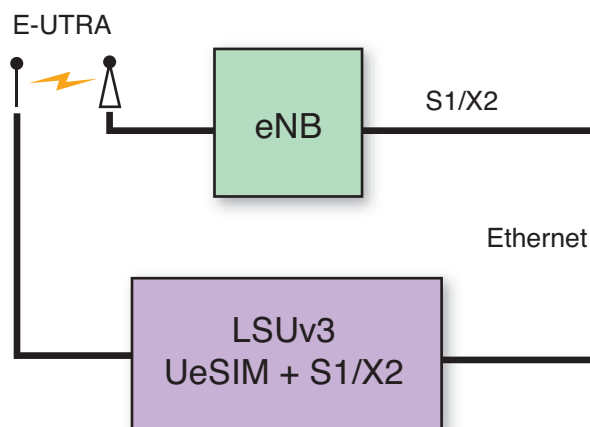


图 1— 在 LTE 测试场景中, 仿真器或取代无线电扇区, 或为核心网络提供测试接口。

我们采用三个德州仪器的 1GHz DSP (我们选用了 TMS320C6455) 和 Analog Devices 公司的模数转换器 (AD9640) 与数模转换器 (AD9779), 完成了基于赛灵思 FPGA 的 SDR 卡设计。时钟网络采用 Analog Devices 公司的 AD9549, 能够为转换和数字信号处理器件 (FPGA、DSP) 提供极高的灵活时基。

LTE 加工数据通路

Prisma 把 LTE 加工数据通路分为两大部分: 一是, 在 FPGA 内实现的射频前端; 二是, 在 DSP 内实现的物理资源分配

以及数据通道与控制通道端接。

在上行链路方向, 由一个 DSP 负责处理 MAC 层到物理层的交换以及物理层某些功能的操作。它负责为编码、交织、加扰、符号映射和子载波分配提供参考信号 (导频)、源数据和控制通道。离散傅立叶变换 (DFT) 函数负责根据 SC-FDMA 标准完成来自不同终端的数据转换。该系统通过 EMIF 接口把每个 OFDM 符号都发送到上行链路 FPGA。

该 FPGA 将数据速率从 125MHz (DSP EMIF 接口时钟) 提升到



图 2 LSU 软件无线电卡上的赛灵思 Virtex-5 FPGA 和 TI DSP

245.76MHz(FPGA 加工速率)。然后 FPGA 将执行一系列其他操作:2048 点反向快速傅立叶转换、循环前缀插入、PRACH 数据通道插入、7.5KHz 频率下转换 OFDM 符号频谱的半移位函数、信道整形与内插滤波以及 24MHz 频率下的中频 (IF) 转换。随后该器件以 122.88MHz 的时钟频率把中频数据发送到 DAC。同时射频卡将模拟信号转换为射频信号, 发送至发射器放大器。

下行链路方向上, 在 LNA 放大、可编程增益和转换阶段完成后, 射频卡将把接收到的中频数据发送到 SDR 卡 (140MHz)。ADC 将以 122.88MHz 的频率对模拟数据进行二次采样, 而 FPGA 则负责处理最终到基带的 17.12MHz 频率转换。该数据可以与两个单输入、单输出通道关联, 也可以与一个 MIMO 通

道关联。

中频数据随后进入下行链路 FPGA, 由该 FPGA 将其转换为基带并进行过滤。即便芯片速率保持在 245.76MHz, 多相抽取滤波器仍能以 30.72MHz 的符号率进行奈奎斯特 FIR 滤波、频谱镜像抑制和数据率降低等操作。

FPGA 输入数据流看上去像数据流, 而非一系列的 OFDM 符号。同步函数对数据流进行适当的切分, 从而描绘出 OFDM 符号。(要实现这一点, 同步线路必须使用多个相关器在深度抽取的输入数据中检测出 Zadoff-Chu 主同步信号, 随即才能获取 OFDM 符号。) 最后, 在删除循环前缀后, 以 FFT 转换获得的最终数据则通过 EMIF 接口传递到另一个 DSP。

下行链路包含两个以串行 RapidIO 接口连接在一起的 DSP。这两个 DSP 的作用是进行频率校正、信道估计、均衡和 MIMO 解码。然后由这两个 DSP 在 MAC 层互连之前, 进行数据通道和控制通道抽取、Viterbi 和 Turbo 解码、去交织和解扰。

在上行链路侧, 由第三个 FPGA 负责上行链路和下行链路 FPGA 之间的回送测试, 确保 SDR 模板符合 CPRI/OBSAI 标准。

我们的设计小组广泛使用赛灵思 Core Generator™ IP 核来生成滤波器、DDS、FFT、Block RMA、FIFO 和 MAC 功能, 把 DSP48E 和 DCM 用于设计中的时钟去歪斜部分。这种大规模例化方法在缩短开发时间的同时, 还能够提供紧凑设计方案。

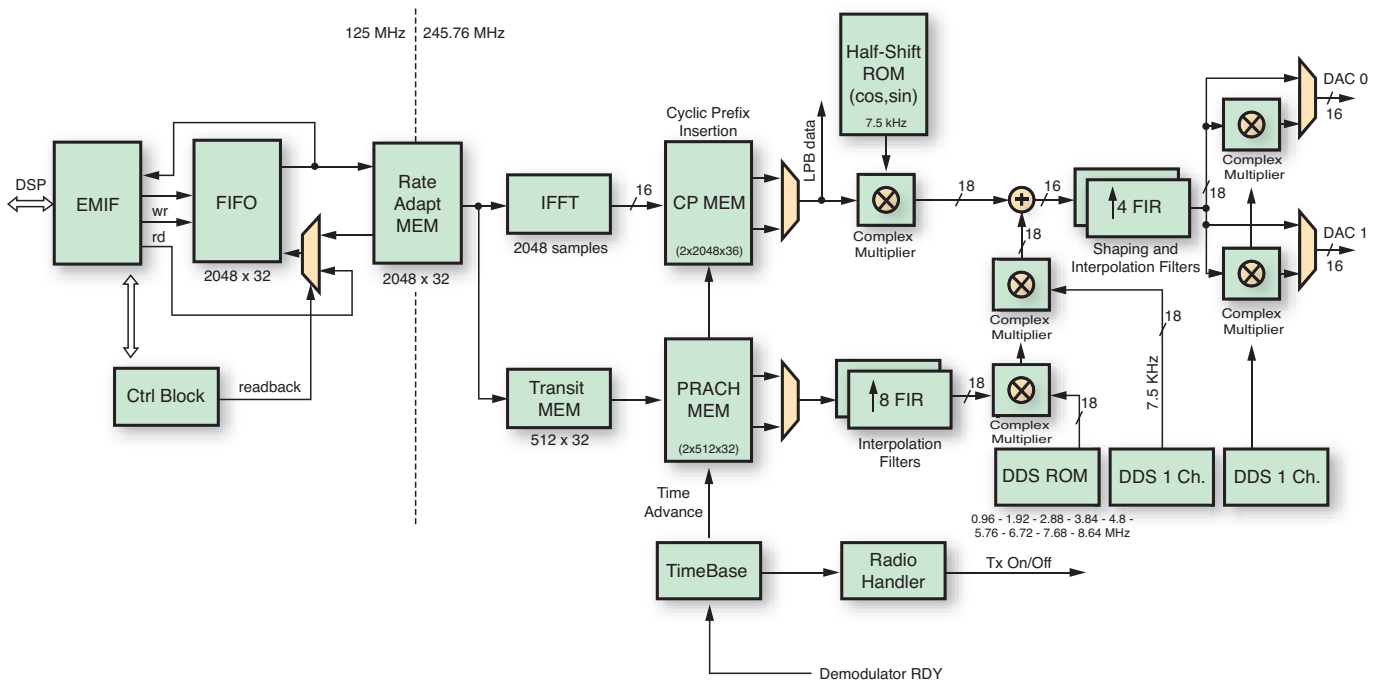


图 3 — 前端“上行链路 FPGA”实现反向 FFT、循环前缀插入、滤波、IF 上变频转换以及其他时分双工和 PRACH 处理所需的操作。该系统将同一信号发送至两个 DAC 以备冗余。

因为这个项目的市场投放时间要求非常紧迫，我们对其功能划分进行了精心分析。FPGA 应该容纳甚至更多的 LTE 功能，不过我们的设计目标在于寻求系统中 FPGA 与 DSP 部分间的平衡。

FPGA 设计策略

该项目的市场投放时间要求非常紧迫，因此我们对 FPGA 和 DSP 之间的功能划分进行了精心的分析。值得注意的是，FPGA 应能够支持更多的 LTE 功能，不过我们的设计目标之一是寻求系统中 FPGA 与 DSP 部分间的平衡。

FPGA 时钟频率是设计中较为困难的一环。在像调制系统这样的大型设计中采用 245.76MHz 的时钟速率是项艰巨的任务。我们设计小组需要考虑许多问

题，比如功耗、设计约束、布局布线等。尽管如此，由于 ISE® 设计套件可提供各个设计迭代的稳定高质量结果，过采样因子(FPGA 时钟频率与 OFDM 符号频率之比)为 8，能够让诸如滤波器和 FFT 转换这样的设计项目在尽量少的条件下满足所需的 LTE 功能。ISE 软件也帮助我们实现了合适的同步电路面积。我们设计的关键在于在上行链路中采用射频卡架构(而非存在 I/Q 不平衡缺点的直接转换法)来接收来自中频的 FPGA 数

据。通过使用赛灵思直接数字频率合成器 (Direct Digital Synthesizer), 18 位正弦 / 余弦波可用作复杂调制工作的理想载波，并可用于在传输无线电信号上测得的误差矢量幅度予以确认。由于采用了赛灵思 Virtex-5 FPGA 和 TI 的 DSP 技术，LSU UeSIM LTE 仿真器已经成为蜂窝网络最先进的载荷 - 应力解决方案测试设备，能为 SDR 系统提供强大、灵活和可扩展的解决方案。

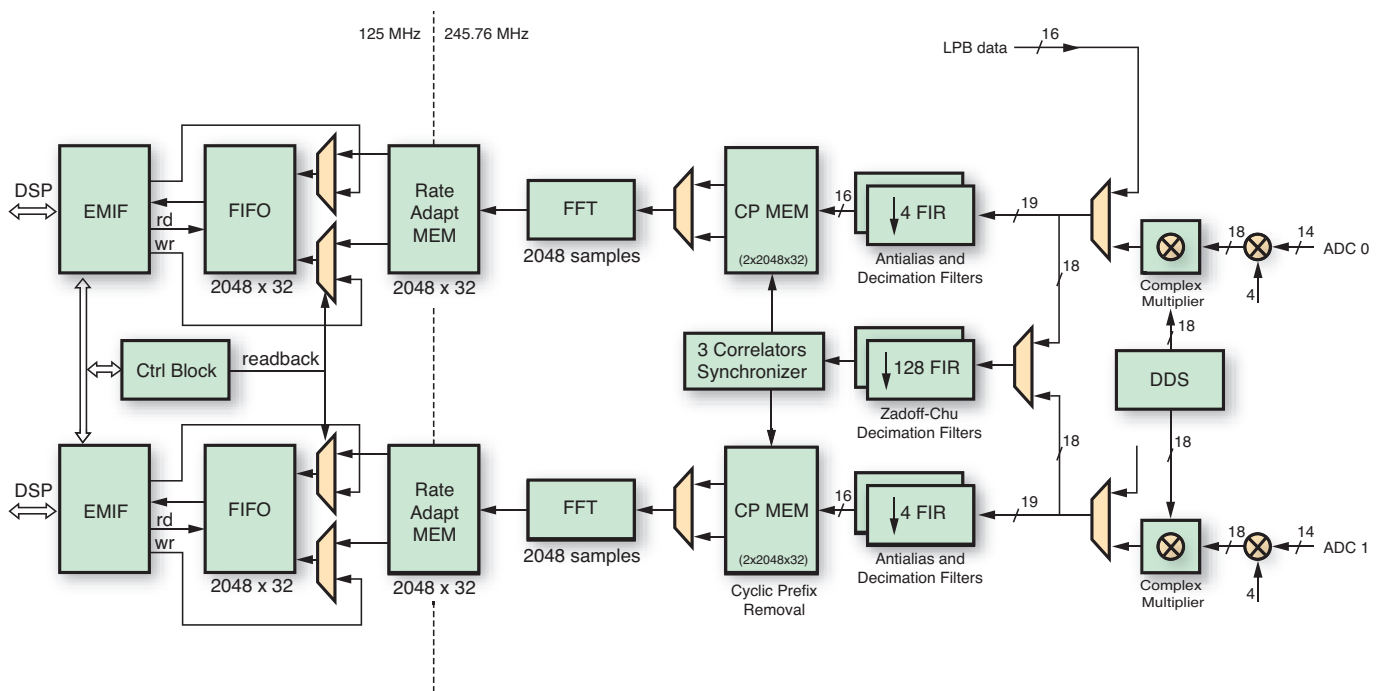


图 4 — 前端“下行链路 FPGA”进行 IF 下变频转换、多相抽取滤波、同步、循环前缀删除和直接 FFT 等操作。该系统使用了两个链路来支持 TDD 和 FDD 模式的 MIMO 操作。