

让生物识别技术成为 FPGA 动态部分重配置功能的 “杀手级”应用

动态重配置技术在人体生物特征自动识别系统设计中的优势尽显无疑。

作者: Francisco Fons
博士生
西班牙塔拉戈纳洛维拉·依维尔基里大学
francisco.fons@estudiants.urv.cat

Mariano Fons
博士生
西班牙塔拉戈纳洛维拉·依维尔基里大学
mariano.fons@estudiants.urv.cat

在当今的通信信息技术时代,人体生物特征自动识别系统代表着最尖端的高性能信号与图像处理应用。实际上,在我们的日常生活中不难发现,许多系统都要求我们通过认证/识别后才能使用;自动柜员机、计算机、移动电话甚至汽车都需要进行认证。许多要求比 PIN、口令或者身份证更高安全级别的应用都使用基于生物(生理或者行为)特征的个人识别算法,通常以内核方式交付。

为进行概念验证,我们使用赛灵思 Early Access 部分重配置设计流程及工具,在赛灵思 Virtex®-4 LX 系列中规模第二小的 FPGA 器件上开发了一种自动指纹识别系统 (AFAS)。实验结果证明,可以用极低的成本在如此小的 FPGA 上嵌入完整的高强度生物识别算法,并通过实时在重配置区域内载入子模块,在保证其物理实施方案中数据精度和准确度的同时,对其进行实时处理。这些理想的结果,加上我们经过验证的成熟技术,使我们有信心将该解决方案从理论研究走向实践,力图把部分重配置 (PR) 功能作为一种安全的商业产品提供给全球消费者。

生物识别技术的基础

当今嵌入式系统的设计和开发面临着诸多挑战,要求必须具有极低成本,实现低功耗,且能够实时处理计算复杂的应用。这些挑战在满足批量生产市场需求时尤为突出。在这种情况下,统一环境下 FPGA 的动态部分重配置作为一种可靠的技术替代方案应运而生,能够提供一种高功能密度资源,从而有效地平衡应用对时间、功耗和成本敏感的各项需求。

目前受益于可编程逻辑器件的动态部分重配置功能的常见应用,包括软件无线电、航空航天以及加密产业等。我们开发小组也正在将部分重配置功能应用于此前从未涉及过的领域:生物识别技术。由于安全性已经成为当今数字信息环境的

主要问题,特别是对电子商务、电子保健、电子护照、电子银行以及电子投票等应用领域,我们认为在生物识别技术中使用部分重配置功能非常有潜力。

不过,生物识别技术是一项复杂的技术,需要严格的、计算强度大的实时图像

鉴于生物识别技术预计在将来还会继续保持发展,因此已面市的生物识别产品应能够进行技术升级以避免过时,故它们需要开放式架构。

/信号处理能力,以及高度的灵活性。

另外,个人识别算法也在不断演进。由于科研机构在此领域的大量投入,诸如误接受和误拒绝之类的错误,出错率正在不断下降,使消费者对生物识别系统越来越有信心,因而该系统也不断得到人们的认可。鉴于生物识别技术预计在将来还会继续保持发展,因此已面市的生物识别产品应能够进行技术升级以避免过时,故它们需要开放式架构。从这个角度来看,具有动态重配置功能的 FPGA 器件,其灵活的硬件架构能够满足所需的多样性和可扩展性的要求。

最后,低成本可能是生物识别技术使用部分重配置最重要的原因。在消费类电子、汽车等竞争日趋激烈的市场中,各厂家必须以极具竞争力的成本将其系统推向市场。客户需要的产品应具有最高的安全性和最低的价格水平。

通过增强生物识别算法的复杂度可以提高安全性和可靠性。而复杂度的增加往往会导致执行时间的延长和成本的上升。然而,如果在设计中采用动态部分重配置技术,成本基本不会受到影响。使用部分重配置可使设计人员将新的算法作为新的处理步骤添加到现有的顺序执行流程中。因此,一般来说算法的功能变化不会

造成成本变动。

设计人员可以把生物识别算法划分为一系列相互排斥的步骤,这些步骤按顺序执行,即一个步骤的输出或者结果是下一个步骤的输入数据。这种顺序次序意味着设计人员可以在时间上复用硬件资源,

并且定制后每段时间可以执行不同的任务或者发挥不同的功能,增加它们的功能密度,因而能够使处理整个算法所需的资源总数保持恒定。此外,重配置的开销较低,不会损及硬件加速带来的好处。

此外,实时完成某个模块的重配置不会中断 FPGA 中的其它模块的运行。在这种情况下,未经重配置的模块将在应用的整个过程中继续运行,并确保与外部的链路畅通。

我们在这项工作中面临的问题是:证实部分重配置适用于基于生物识别特性的复杂个人识别算法的开发;运用二维设计抽象层对功能进行空间和时间管理。我们将在下文逐步介绍这一目标的实现方法。

自动指纹识别系统

指纹识别是自动个人识别技术中使用的最常见、最可靠的技术。大体上,实现的技术将自动指纹识别 (AFAS) 划分为在不同时间和不同条件下执行的两个阶段:登记和识别。

登记是指用户进行登记的系统配置流程。一般来说,在这个流程中,用户向系统提供指纹,系统随即执行一系列需要高强度计算的图像处理步骤,以提取所有具有相关性、永久性和独特性的信息,从

为 8 位，图像大小为 280x512 像素。图像获取采用的是 Atmel 公司提供的热敏指纹传感器 FingerChip 扫描技术，运算采用的是赛灵思 Virtex-4 XC4VLX25 FPGA 器件。

系统架构

Virtex-4 FPGA 器件是 AFAS 平台的计算单元，其中采用 Flash 存储器作为系统数据库，存储 FPGA 配置数据，以及如用户指纹模板或生物识别算法配置设置等特定于应用的数据。此外，该系统还使用 DDR-SDRAM 存储器来暂时保存从每个处理阶段中获得的中间数据或图像。我们采用的是串行通信，在我们的案例中是连接至 UART 控制器的 RS-232 收发器——后者可在 FPGA 资源中进行综合——以用于调试目的。其目的是将每个阶段生成的结果图像传输到 PC 上，以便以图形化的方式察看每步的

指纹图像或者结果。最后，使用扫描式指纹传感器来获取用户的生物识别特性，并作为识别算法的输入，如图 2 所示。

作为计算单元，FPGA 被划分为两个区域，如图 3 所示：一个是静态区，由完整的多处理器 CoreConnect 总线系统构成；另一个是可重配置区，用于根据需要放置定制的生物识别协处理器或 IP，以执行识别算法的各种顺序任务，并随处理的进展进行复用。多处理器 CoreConnect 总线系统主要由 MicroBlaze™ 处理器及其它标准外设构成，同时还拥有一个链接至 ICAP 端口的重配置控制器。

如图 1 所示，所有的处理任务都按照顺序执行的次序从 0(静态)到 B 进行枚举。定制的硬件协处理器负责在 PRR 中实现所有的任务，由 MicroBlaze 在软件中完成的指纹采集过程除外。

软硬件特定的划分是由于扫描传感器需要 5 微秒的积分时间来获得连续的图像条 (SLICE)。这种速度下无需采用定制的硬件协处理器，采用 MicroBlaze 软件采集和重构图像不仅速度足够，而且更简单经济。

图像采集按每个 SLICE 5 微秒的速率采集 100 个 SLICE，每个 SLICE 的大小为 280x8 像素。每两个连续的图像 SLICE 之间的像素重叠部分交由软件进行探测，从而完成图像的实时重构。

由于实时的要求，剩余的任务我们交由 FPGA 的 PRR 的定制硬件协处理器来实现。一旦每个特定的任务完成之后，位于器件静态区的重配置控制器在 MicroBlaze 处理器的控制下，载入下一个任务的工作模块。重配置控制器通过 ICAP 接口将新模块的配置数据从 DDR-SDRAM 中直接传输到内部的 FPGA 配置存储器中，从而完成此项任务。

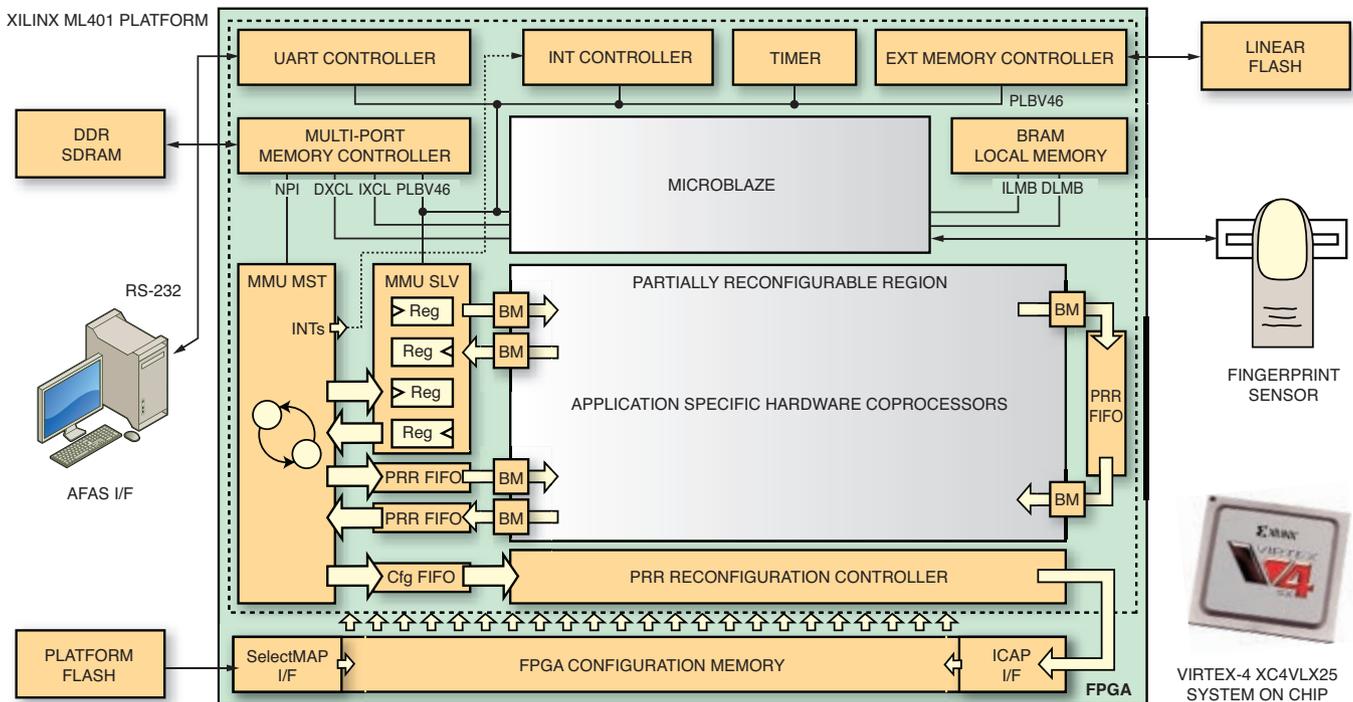


图2—建议的AFAS系统架构和功能组件细分图

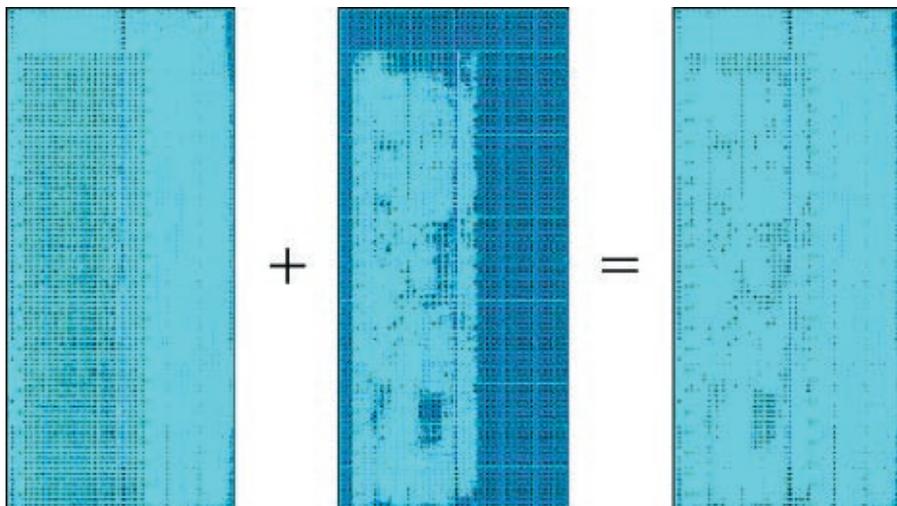


图3—应用执行流程中FPGA上给定时间点的完整比特流构成。静态区（最左边）和一个在PRR（中央）中例化并在时间上共享的动态重配置生物识别协处理器共同构成了完整的比特流（最右边）

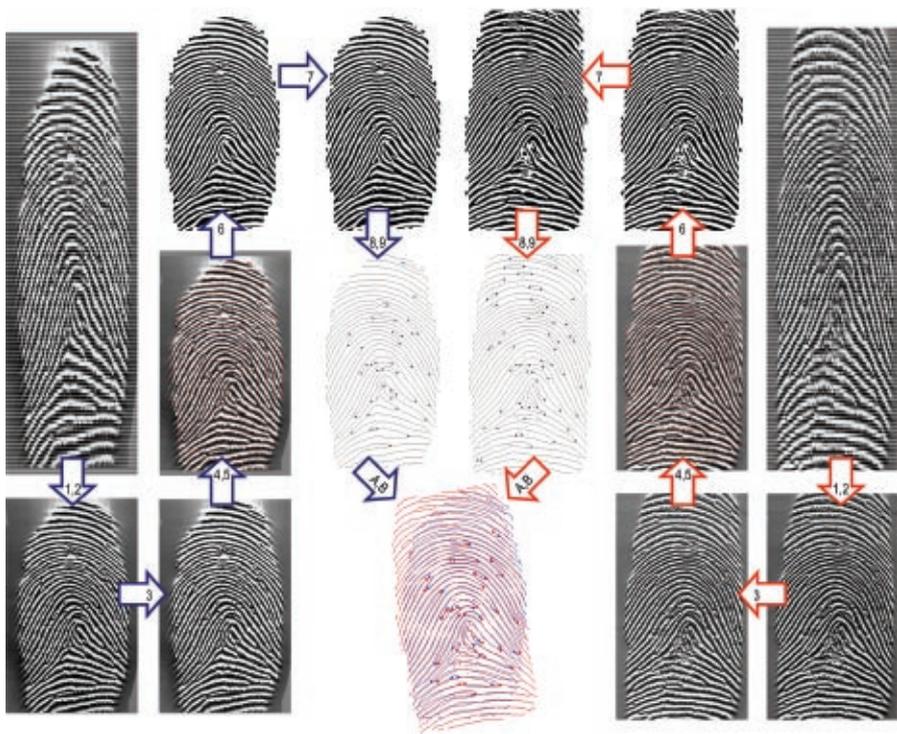


图4—生物识别技术算法各个阶段按顺序取得的结果图像（左边指纹模板处理，右边指纹采样处理）

值得一提的是，我们使用的是静态区和可重配置区之间基于 FIFO 存储器和触发寄存器构成的标准界面。这样我们就可以在 PRR 中开发标准的生物识别协处理器或 IP，而无需理会系统使用的是哪种多处理器总线，无论是 AMBA®、CoreConnect、Wishbone 还是

其它均如此，如图 2 所示。这一点具有根本性的意义，因为这样才能确保生物识别算法跨不同平台的标准化和便携性。

重配置控制器

设计高效的重配置控制器是部署面向单一环境 FPGA 的 PR 系统的成功

关键。虽然在重配置 PRR 期间，FPGA 的非重配置区域仍然处于工作状态，但 PRR 资源此时并没有处于工作状态，故应尽量加快重配置过程，以便最大限度地降低开销。重配置的时间取决于三个因素：数据总线宽度、重配置频率以及比特流大小。前两个因素与接口特性有关，而最后一个与 PRR 的大小及其中的一部分重配置模块 (PRM) 的设计复杂程度有关。

我们的工作实现了一个重配置控制器，其能在运行时将部分比特流以高带宽从外部存储器传输到 FPGA 的片上配置存储器中。在不限部分比特流大小，同时将外部存储作为共享资源(各种处理器可通过系统总线同时访问)的条件下，仍然可以达到 Virtex-4 最高重配置带宽。

在系统初始化阶段，部分比特流将在运行中被下载到 FPGA 配置存储器中，并从外部的非易失性存储器 (Flash) 中传输到外部 DDR-SDRAM。该存储器与多端口存储控制器 (MPMC) 相连接，因而成为系统中任何主从处理器都可以访问的资源。可以使用 CoreConnect PLBv46 总线等不同类型的总线连接到 MPMC，这些总线可用作通用系统总线，而赛灵思 Cachelink (XCL) 总线则用于 CPU 的快速指令和数据缓存。系统 CPU (MicroBlaze) 实际上是与这两个总线相连接的。

不过我们的重配置解决方案是建立在新总线基础之上的，即专用于快速链接外部 DDR-SDRAM 存储库和 ICAP 接口之间的原始端口界面 (NPI)。作为我们重配置控制器的组成部分，我们设计了可用来处理 NPI 协议的主系统存储管理单元 (MMU)。外部 DDR-SDRAM (功能模块配置数据存储地) 和 ICAP 原语之间的连接需要经过一个内部 FIFO 存储器。借助这种方法，我们可以实现两个不同的定制界面，它们各自拥有独立的

数据总线大小和速度，一个与 NPI 协议耦合，另一个则与 ICAP 协议进行耦合。

FIFO 的写入端口与 NPI 相连接，并使用 64 位数据总线；而 FIFO 的读取端口则连接到 ICAP，使用 32 位数据宽度，这是 ICAP 在 Virtex-4 器件中的最高数据宽度。FIFO 的读取端口和写入端口（在 NPI 侧和 ICAP 侧）的运行频率为 100MHz 为使传输时延降至最低，主系统 MMU 负责以 64 字(32 位) 突发传输向内部 FIFO 传输配置数据，从而完成模块的重配置。这是可接受的最大突发长度，因而所有的重配置数据传输都能够以最低突发时延完成。在另一侧，只要 FIFO 不为空，重配置控制器就能读取已存储的 FIFO 数据，并将其以 32 位格式传输给 ICAP 接口。重配置控制器（就是主 MMU）负责处理对大型 DDR-SDRAM 存储器进行直接存储器存取 (DMA)。为了实现，我们定制了一个从 MMU，并在其中设置了多个控制寄存器，将这个 MMU 挂在 PLBv46 总线上并由 CPU 直接控制。

采用这种方式，CPU 仅需做两件事情：配置在 PRR 中下载的部分比特流的初始地址和大小；向主系统 MMU 发出执行指令，以启动重配置过程。而后，主系统 MMU 开始将比特流以 DMA 的方式直接传输给内部的 FIFO，随后再从该 FIFO 传输给 ICAP 接口。一旦传输完毕，重配置控制器就会通知 CPU。

结果，即使在 CPU 通过 XCL 或 PLBv46 总线访问 DDR-SDRAM 的同时，我们也能实现部分比特流传输的最大吞吐量。其最终原因在于 CPU 在内部 BRAM 高速缓存中运行程序流，将对外部 DDS-SDRAM 的访问释放给了重配置控制器。值得重点指出的是，这个为部分比特流和软件应用分配的 DDR-SDRAM 存储器并非专用资源，而是共享资源。即使如此，该方案与其它现有

的重配置控制器方案相比性能也有显著的改善，因为其能够实现 Virtex-4 的最大重配置吞吐量(通过 32 位数据总线以 100MHz 的频率或 3.2 Gbps 的速率将部分比特流传输给 ICAP)。

实验结果

从本质上讲，文中所述的嵌入式自动指纹识别系统是一种高性能图像处理应用，因为它拥有大量的并行性，且需要实时认证响应。从人机工程角度上讲，此系统可使每位用户的认证时间不超过 2 秒或 3 秒。

该设计流程涉及多个开发环路。首先，我们在 PC 平台上的 MATLAB® 的软件里开发算法。随后，我们将软件代码用 C 编程语言导入到嵌入式软件中，并且首先在同一 PC 上执行，以确认我们能够获得同样的结果，然后在 FPGA 器件内合成的 MicroBlaze 嵌入式微处理器上执行。

通过这种方式，Virtex-4 器件可在不使用任何定制硬件协处理器和不达到实时性能要求的情况下实施基于 MicroBlaze 的纯软件解决方案。为缩短运行时间，我们根据任务概要，下一步工作是引入 PRR，并在上面构建各种定制生物识别协处理器，使用硬件 / 软件协同设计解决方案。此刻，我们已经采用 C 编程语言和 VHDL 硬件描述语言完成了此系统的开发工作。

我们采用 268x460 像素的 8 位灰度指纹图像进行了一些识别测试。同时，我们在基于 Virtex-4 的 PR 系统上和运行速度为 1.83GHz 的 Intel Core 2 Duo T5600 处理器的个人电脑上也进行了相同的测试。然后，我们运行相同的算法，包括纯软件实施方式和软硬件混合实施方式，以比较登录和识别阶段的性能。

如同预期，我们在以上两个平台上获得了相同的识别结果。不过这两

自动指纹识别系统	处理时间 (ms)		
	PC 平台	嵌入式系统	
	SW Core2Duo 1.83 GHz	SW MicroBlaze Virtex-4 100 MHz	PR-HW 与 SW Virtex-4 50/100 MHz
采集	500.000	500.000	500.000
分段	2.810	232.046	0.672
标准化	0.470	33.087	1.691
增强	7.030	512.171	3.608
方向场	2.500	337.419	1.694
筛选取向	0.620	22.178	1.465
二值化	15.940	774.750	3.572
平滑化	14.220	287.507	1.492
细化	1.410	417.350	1.794
特征提取	0.630	32.497	8.549
对齐	3224.530	139935.838	158.716
匹配	4.220	108.608	21.772
总计	3774.380	143193.451	705.025

表 1 — 在不同的 AFAS 平台上执行的不同任务的处理时间细分 (毫秒)：PC 平台上的纯软件方案；赛灵思 Virtex-4 XC4VLX25 FPGA 平台上的嵌入式软件方案；采用部分重配置的硬件联合设计方案。

自动指纹识别系统	性能 PR-HW 与 SW 方案					
	时间 (ms)		硬件资源			
	重配置 (100 MHz)	进程 (50/100 MHz)	SLICE 触发器	四组输入 LUT	18 KBIT RAMB16	DSP48 模块
应用流 (静态)	-	-	7005	8888	41	4
采集	-	500.000	-	-	-	-
分段	-	0.672	4978	4612	8	20
标准化	0.841	0.850	371	334	0	8
增强	1.045	2.563	5275	5831	5	28
方向场	1.025	0.669	3339	3166	5	8
筛选取向	1.046	0.419	2857	2983	7	0
二值化	1.107	2.465	5462	4166	17	29
平滑化	1.045	0.447	4892	3265	8	0
细化	0.974	0.820	1013	2821	13	0
特征提取	0.943	7.606	487	3379	3	0
对齐	1.045	157.671	2632	8943	21	0
匹配	1.035	20.737	642	4379	14	5
总计	10.106	694.919	38953	52767	142	102

表 2 — 在由 21,504 个触发器、21,504 个四组输入 LUT、72 个 RAMB16 模块以及 48 个 DSP48 模块组成的 Virtex-4 XC4VLX25 FPGA 上, 通过部分重配置技术驱动的 AFAS 在执行各项任务时所耗时间与资源的细分情况。

种情况下所花费的处理时间相差明显。表 1 给出在不同平台和架构上部署算法所花费的时间: Intel Core 2 Duo PC 平台上的软件方法; 嵌入式软件方法采用 ML401 平台, 此平台由基于运行速度 100MHz 的 MicroBlaze 处理器的 Virtex-4 XC4VLX25 FPGA 支持; 软硬件协同设计方法采用相同的 ML401 平台, 配备在 PPR 内实现的、并可按需进行重配置的专用生物识别协处理器(运行速度为 50MHz 或 100MHz)。

如果不考虑采集工作(由于扫描传感器的性能限制, 需以 5ms 积分时间采集 100 片并在运行中重构图像, 故采集时间固定为 500ms), PR 方法可以把运行其他处理任务所形成的延迟降低到 205ms。与在 PC 上运行纯软件方法的 3,274ms 的延迟相比, PR 方法可提高 16 倍速度。

因此, 表 1 说明运用并行和流水线

技术进行软硬件协同设计, 同时配合低重配置延迟的 PR 技术, 明显实现实时认证是可行的。另外, 在动态重配置时, 可以指定模块运行的频率, 这个频率是由新模块的特性所决定。在我们的设计中, 所有模块运行在 50MHz 或者 100MHz 的频率下。

此外, 重配置流程一直以 100MHz 运行, 在每个时钟周期里传输 32 位比特, 从而保证 Virtex-4 上的最低重配置延迟。根据每个 PRR 硬件环境的比特流复杂性, 每个重配置流程花费的时间在 0.8ms(例如标准化)和 1.1ms(例如二进制化)之间。如表 2 所示, 与生物识别应用的总体运行时间相比, 该重配置时间可忽略不计。

不过在使用 PR 设计时, 我们需要考虑的不仅仅是时间, 还需要从使用的资源的时间共享的角度, 认真考虑成本问题。XC4VLX25 FPGA 器件总共

有 21,504 片触发器、21,504 个四输入 LUT、72 个 18K 位 RAMB16 块和 48 个 DSP48 块。按照静态区和重配置区的资源划分, 重配置区由 11,264 个片触发器、11,264 个四输入 LUT、22 个 18K 位 RAMB16 块和 44 个 DSP48 块构成, 器件的其余资源则在整个应用的工作周期中保持不变。

PRR 负责下载配置识别算法中多达 11 个不同的任务模块。如表 2 所示, 如果使用全静态设计, 所需资源将会超出 XC4VLX25 FPGA 的规模, 因此通常情况下会迫使设计人员选用更大、更昂贵的器件。但使用 PR 设计可以避免这个问题。表 2 清楚地说明了今天自动化个人认证可通过采用 PR 技术所带来的逻辑资源重用来实现, 且成本非常低。

在赛灵思 Early Access Partial Reconfiguration Tools Lounge 中可以找到我们使用的工具集, 如带 PR_12 补丁的 ISE® 9.02.04i、EDK 9.02.02i 及 PlanAhead™ 9.2.7。最终我们使用同一指纹扫描传感器, 在这个系统上, 对系统采集的真实指纹图像和公共数据库(指纹验证比对数据库)上存放的其他指纹图像进行了验证。

由于我们已经成功完成了概念验证工作, 我们准备把原型导出到新一代赛灵思低端具有 PR 功能的 28 纳米 FPGA 器件中(Artix™-7 系列), 而新的 PR 设计流程则基于赛灵思近期发布的分区结构。我们的目标是以最低的成本设计出一款能够在任何消费类电子产品中嵌入高性能且真正安全的生物识别系统。

生物识别应用中应用动态重配置计算的时代已经到来。如欲了解关于项目的更多信息, 请与作者联系: francisco.fons, mariano.fons@estudiants.urv.cat.

