

一种基于FPGA的高速误码测试仪的设计

王 骐, 王青萍

(湖北第二师范学院 物理与电子信息学院, 湖北 武汉 430205)

摘要: 误码测试仪是检测通信系统可靠性的重要设备。传统的误码测试仪基于 CPLD 和 CPU 协同工作, 不仅结构复杂, 价格昂贵, 而且不方便携带。基于 FPGA 的高速误码测试仪, 采用 FPGA 来完成控制和测试模块的一体化设计, 提高了系统功能扩展性和系统的集成度, 使得各个功能模块在不改动硬件电路的情况下可以相应变化。在发送端发送 m 序列作为测试数据, 其测试速率最高可达到 155 Mb/s。由于将物理层上的各协议层的功能集中到 FPGA 内部实现, 减少了硬件和软件的设计复杂度, 并且缩短了系统的开发的周期, 具有可升级的特点。

关键词: 高速误码测试仪; 现场可编程门阵列; Verilog 硬件描述语言; 模块图元; 仿真; M 序列码

中图分类号: TN609

文献标识码: A

文章编号: 1674-6236(2011)07-0129-05

FPGA-based design of high-speed bit error rate tester

WANG Qi, WANG Qing-ping

(Institute of Electronics Information and Physics, Hubei University of Education, Wuhan 430205, China)

Abstract: BBERT (Bit Error Rate Tester) is used in detecting for reliability of a communication system. The traditional design of BERT is based on CPLD and CPU's cooperative work. This traditional design has many disadvantages, such as complicate, cost much and inconvenient to taken. The project brings forward a configuration using the FPGA as the core chip. Using FPGA to complete the BERT's Control and test module design, it improves the system scalability and integration. Various functional modules can be altered accordingly without changing the hardware circuit. In the BERT Working Process, the transmitter sends M code as the test code. Its data rate is up to 155Mbps. It realizes the function of each protocol layer in physics layer, so it can reduce the hardware and software design complexity, and shorten the system development cycle, can be upgraded.

Key words: high-speed bit error rate tester; Field Programmable Gate Array (FPGA); Verilog Hardware Describe Language(VHDL); module graphic element; simulation; M code

误码分析仪作为数字通信系统验收、维护和故障查询的理想工具, 广泛应用于同轴电缆、光纤、卫星及局间中继等符合 CEPT (European Conference of Postal and Telecommunications Administrations) 数字系列通信系统传输质量的监测^[1]。评价一个通信系统的可靠性的指标就是检测该通信系统在数据传输过程中误码率的大小, 本文设计的高速信号误码测试仪, 用于对 EPON 中接收和发送突发光信号的接收模块的可靠性进行检测。目前误码分析仪的工作模式已发展到如下 4 种: 分析仪模式、发生器模式、分析仪/发生器模式、直通模式^[2]。本设计中的误码测试仪属于第 3 种类型, 即该误码测试仪可以产生测试的码流, 又可以进行误码测试。

误码测试仪主要由发送模块, 接收模块, 显示模块, 控制模块等几个模块组成, 系统硬件结构框图如图 1 所示。其中发送、接收模块在 FPGA 中实现, 控制模块由单片机实现, 显示模块由单片机驱动, 这样使得设计的误码分析仪具有体积

轻巧, 接口丰富, 简单易用, 成本低廉, 内核可升级等特点。

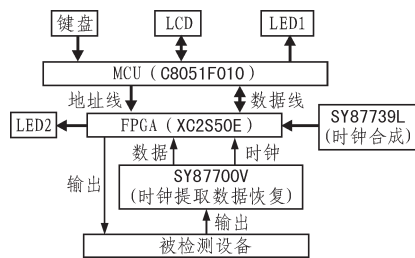


图 1 误码测试仪系统硬件框图

Fig 1 Hardware block diagram of Bit Error Rate Tester System

1 基于FPGA的误码测试仪的设计

FPGA 在该设计中实现了误码测试仪的核心功能, FPGA 设计使用的是自顶向下模块化的设计方法。基于 FPGA 设计的模块包括: SY87739L 频率计的控制模块、SY87700 时钟提取控制模块、计数模块、伪随机序列发送模块、数据接收模块、与单片机的通信模块。

收稿日期: 2010-03-21 稿件编号: 201103121

作者简介: 王 骐 (1970—), 男, 湖北武汉人, 博士, 讲师。研究方向: 单片机与嵌入式系统应用、无线传感器网络安全。

1.1 频率合成芯片 SY87739L 的控制模块

在设计中 SY87739L 合成的频率用于伪随机序列合成的同步时钟, 因为该误码测试仪可以测试的频率有 32 Mb/s、64 Mb/s、122 Mb/s、155 Mb/s 4 种。所以该芯片要根据设置的参数合成相应的频率。具体合成哪一个, 由 FPGA 来实现对 SY87739L 的控制。

SY87739L(规程式透明 3.3 V 10~729 MHz 分数 N 合成器)是一个频率合成芯片^[3]。依照一参考频率源, 它可以合成 10~729 MHz 范围内的差分频率。此外它可以精确地为标准的传输协议合成相应的参考频率。SY87739L 合成的频率是由一个 32 位的串行输入的编程数据决定。PROGCS 为高电平时, 编程数据才会被 SY87739L 接收。若用户需要改变编程数据获得一个新的频率时, 应先将 PROGCS 设置为高电平, 延时一段时间(待 32 bit 编程数据被 SY87739L 接收)后在回落到低电平。既在 PROGCS 的下降沿时, SY87739L 会由前一时段接收到 32 bit 编程数据决定合成新的频率。具体步骤如下: 1) 确定编程数据的值; 2) 设置 PROGCS 为高电平; 3) 串行输入 32 bit 编程数据(由 PROGDI 管脚输入), 同时在 PROGSK 端输入时钟信号; 4) 设置 PROGCS 为低电平; 5) 等待 LOCKED 跳为高电平。

根据 SY87739L 的工作原理, 可以用硬件语言编写出 SY87739L 的控制代码, 图 2 是由 Verilog 代码用 Synplify Pro.8.1 综合出的图元。

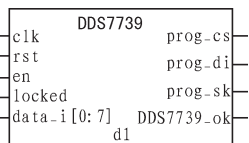


图 2 SY87739L 的控制模块图元

Fig. 2 Graphic element of control module SY87739L

该模块控制 SY87739L 合成 32 M 频率功能仿真结果(由 ModelSim SE6.1 仿真)如图 3 所示。

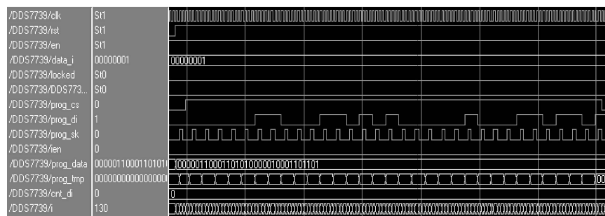


图 3 SY87739L 控制模块仿真结果

Fig. 3 Simulation results of control module SY87739L

测试文件中给 DATA-I 赋值为 00000001, 可以观察到 prog_di 串行输出的编程数据为 0000_01100_01101_0100_000_10001_101_101; prog_cs 在 prog_di 有效编程数据输出为高电平, 待编程数据输出结束后回落到低电平; PROGSK 输出 SY87739L 的编程时钟。经分析可以看出 SY87739L 控制模块可以实现预想的功能。

1.2 时钟提取芯片 SY87700V 的控制模块

SY87700V 对 FPGA 接收的数据进行时钟提取和数据恢复^[4]。将恢复的数据与接收端产生的本地伪随机序列进行对

比, 实现误码检测, 两数据流对比时以提取的时钟为同步时钟。SY87700V 在提取数据前要预知提取的频率的范围, 此频率范围由 FPGA 发送给 SY87700V。SY87700V 的参考时钟是否进行分频, 也要根据设置的参数由 FPGA 控制。此外该模块还要实现 FPGA 读取 SY87700V 的功能, 以确定 SY87700V 是否完成时钟提取及数据恢复。根据 SY87700V 的工作原理, 可以用硬件语言 Verilog 编写程序在 FPGA 实现控制 SY87700V 的模块, 图 4 是由代码综合出的图元。

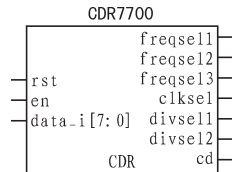


图 4 SY87700V 控制模块图元

Fig. 4 Graphic element of control module SY87700V

由 FPGA 控制 SY87700V 从 122M 数据提取时钟和恢复数据的功能仿真的结果波形图(用 Modelsim 仿真)如下图 5 所示。

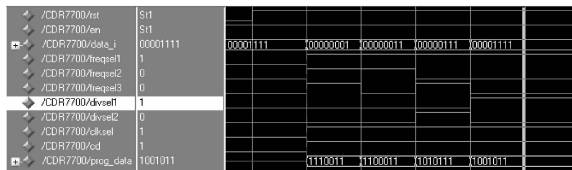


图 5 用 Modelsim 仿真 SY87700V 控制模块的波形图

Fig. 5 Waveform of control module SY87700V

测试文件中给 data_i 赋值为 000011111, 可以观察到 FREQUESEL1 输出值 1, FREQUESEL2 输出值为 0, FREQUESEL3 输出值为 1, DIVSEL1 输出值为 0, DIVSEL2 输出值为 1。CLKSEL 输出高电平(这一信号可以控制 SY87700V 完成提取的输入数据时钟的功能)。CD 也输出高电平(使 SY87700V 能正常的进行数据恢复和时钟提取)。从图中可以看出 SY87700V 控制模块输出的信号可以控制 SY87700V 完成对 122M 数据的时钟提取和数据恢复, 实现预想的逻辑功能。

1.3 计数模块

计数模块是用来计算总的码数和误码数以及误码块数的, 该计数器是一个同步复位计数器。由 verilog HDL 代码综合出的图元如图 6 所示。

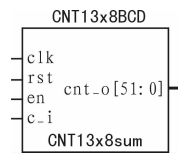


图 6 计数模块图元

Fig. 6 Graphic element of counter module

该计数模块最大的计数值达 2^{52} , 用 Modelsim 仿真软件对计数模块进行功能仿真的结果如图 7 所示:

在测试文件中, c_i 赋值为一个脉冲流, 在 cnt_o 输出的计数结果是正确的。可以判断出该模块的功能的正确性。

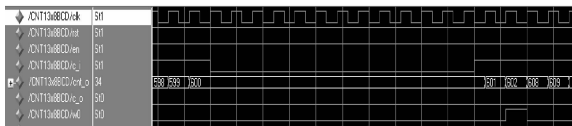


图 7 计数模块功能仿真波形

Fig. 7 Simulation waveform of counter module

1.4 伪随机序列发送模块

伪随机序列发送模块的任务是以 SY87739L 合成的频率为时钟产生伪随机序列并串行输出伪随机序列。该模块可以产生三种级数的伪随机序列，生成的伪随机序列串行输出。具体合成那一级数决定于 washbone 模块(FPGA 与单片机的通信控制模块)输出的控制信号:P09T-en(合成 9 级 m 序列使能信号)、P15T-en (合成 15 级 m 序列使能信号)、P23T-en(合成 23 级 m 序列使能信号)。三个信号中哪个为高电平就合成相应级数的伪随机序列。由 Verilog HDL 代码综合出的图元如图 8 所示。

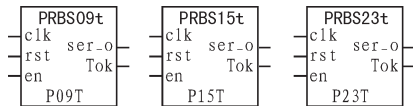


图 8 伪随机序列发送模块图元

Fig. 8 Graphic element of pseudo-random sequence transmit module

功能仿真结果(合成 23 级伪随机序列)如图 9 所示。

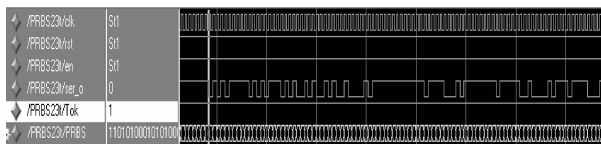


图 9 发送模块功能仿真图

Fig. 9 Simulation waveform of transmit module

在测试文件中赋给该模块的输入信号相应的值，使其完成合成 23 级伪随机序列的功能。在上图中,ser_o 串行输出 23 级的 m 序列，可以判断该模块可以成功的合成 m 序列实现误码测试仪发送端的功能。

1.5 数据接收模块

FPGA 中的接收模块实现的功能有:1)m 序列发生, 2)是误码检测。前者的逻辑功能与发送端模块相类似,其作用是产生一个与发端码形相同并且比特对齐的本地 m 序列;后者的作用是将收到的数据与本地 m 序列相比较,检测是否有误码,若有误码则输出一个误码脉冲给计数模块进行统计^[5]。该模块可以接收三种级数的伪随机序列,由 Verilog 程序综合出的图元如图 10 所示。

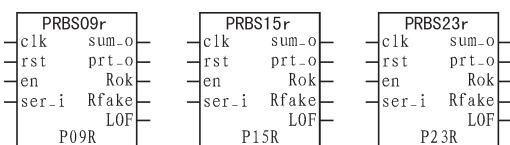


图 10 数据接收模块图元

Fig. 10 Graphic element of data receive module

发送的测试码为周期是 2^9-1 的 m 序列时,数据接收模块的仿真波形如图 11 所示。

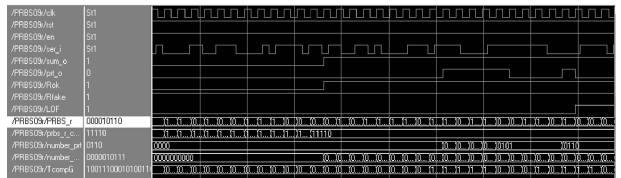


图 11 数据接收模块的功能仿真

Fig.11 Simulation waveform of data receive module

在仿真文件中对该模块输入端口 ser_i 赋值一个码流,当赋值码流与本地伪随机序列同步的(同频同相),数据接收模块每比对一 bit 码,就在 sum_o 端口输出一高电平,若比对时有误码,则 prt_o 端口输出一高电平。在上图中,PRBS_r 是本地合成的伪随机序列,可以看出该模块能够实现了 m 序列的产生和误码的检测和统计功能。

1.6 FPGA 与单片机通信的控制模块

FPGA 与单片机的通信控制模块(washbone moudle)^[6]实现的功能有:1)控制 FPGA 发送数据(总码数、误码数、误码块数)到数据线上;2)控制 FPGA 接收单片机发送到数据线上的控制数据。FPGA 与单片机的通信控制模块将 FPGA 接收到的控制信息产生控制其他模块的信号,这些控制信号包括 SY87739L 频率合成的使能信号,SY87700V 控制模块的使能信号,计数器复位信号,伪随机码的级数、速率、发送接收接口的控制信号等。由源程序综合出的图元如图 12 所示。

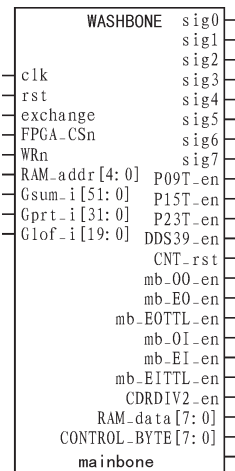


图 12 FPGA 与单片机的通信控制模块图元

Fig. 12 Graphic element of communication control module

between FPGA and Microcontroller

当 SY87700V 提取的数据频率为 30.72 MHz 时,SY87700V 的参考频率为 3.84 MHz。图 13 为 FPGA 与单片机的通信控制模块的功能仿真结果。该仿真是对 washbone 模块中控制 FPGA 接收单片机控制数据这一功能的仿真。在测试文件中 RAM_data FPGA 与单片机的通信数据信号赋值为 0001010 (控制该模块产生 P09T_en、mb_00_en、mb_OI_en 为高电平的信号);exchange 赋值高电平,既 FPGA 将数据(总码数,误码数,误码块数)存入 FPGA 的内部存储单元;FPGA_CSn=0,WRn=1 既 FPGA 读取数据线上的数据,并存

入内部寄存器 memory [31] 中。在该模块的输出管脚中: P09T_en、mb_OO_en、mb_OI_en 输出为高电平,既控制伪随机发送模块合成 9 级 m 序列,发送、接收的端口类型都为光接口类型。从下列仿真图中可以判断该模块可以实现要求的逻辑功能。

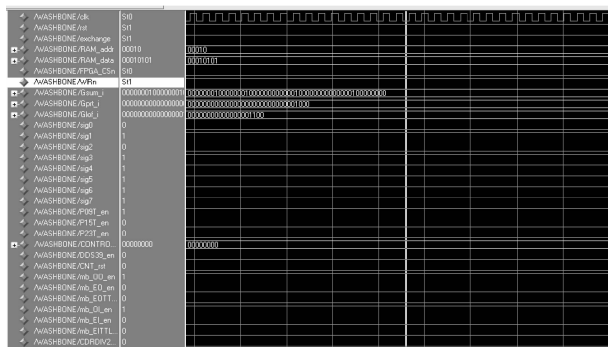


图 13 FPGA 与单片机的通信控制模块的功能仿真

Fig. 13 simulation waveform of communication control module between FPGA and Microcontroller

2 各模块综合结果

2.1 综合报告

综合优化(Synthesize)是指将 HDL 语言、原理图等设计输入翻译成由与、或、非门、RAM、寄存器等基本逻辑单元组成的逻辑连接(网表),并根据目标与要求(约束条件)优化所生成的逻辑连接,输出 edf 和 edn 等文件,供 FPGA 厂家的布局布线器进行实现^[7]。

在本设计中使用综合工具 Synplify Pro8.1 进行综合,该综合工具综合出的结果占用面积小、工作频率高,综合速度快。目前 FPGA 技术中最流行的高效综合工具之一。FPGA 中各模块通过综合工具 Synplify Pro8.1 综合。在综合前,在时序约束文件中将分频系数为 100 分频的分频器时钟约束为 10.0 MHz;接收模块中合成 m 序列的同步时钟 CDR00TKP 约束为 125.0 MHz;CDRK 输入的是 7.68 MHz 的晶体振荡器产生的时钟,FPGA 根据合成 m 序列的速率,判断 CDCK 是否进行二分频,FPGA 将处理后的 CDCK 作为提取时钟芯片的参考时钟。该时钟约束为 7.68 MHz;DDS39REFCLK 是时钟合成模块的参考时钟,该时钟约束为 30MHz;DDS39TKP 输入的是时钟合成芯片 SY87739L 的合成时钟,该时钟用于发送模块产生 m 序列的同步时钟,DDS39TKP 约束为 95 MHz。

从综合报告中可以看出综合后各个时钟的综合结果都超出了约束的频率,满足时序的要求。此外还可以从报告中得到 FPGA 中的资源利用情况:使用 59 个 I/O 原语资源,使用了 0 个 I/O 寄存器,使用了 775 个非 I/O 寄存器占 FPGA 总资源的 50%,使用的总逻辑资源为 1 253 个查找表,占总资源的 81%。

2.2 RTL(寄存器级)视图

RTL 视图是由与、或、非门、RAM、寄存器等基本逻辑单元组成逻辑连接图,从中可以形象的得到 FPGA 中各模块

的连接情况,并能判断硬件描述语言编写出来的系统在逻辑上是否正确^[8]。图 14 是由 Synplify 综合出的 RTL 视图。

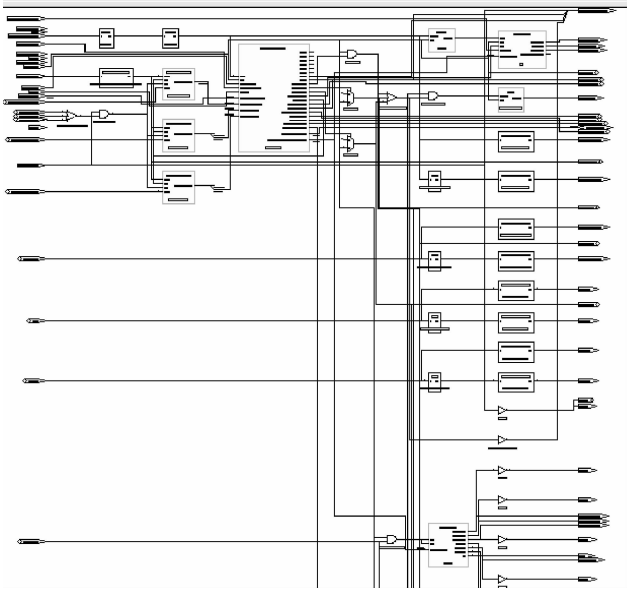


图 14 各模块综合后 RTL 级视图

Fig. 14 RTL-level view after the modules are synthesized

分析上图中各模块的连接情况可以判断出由 Verilog 编写出的程序在各模块的逻辑连接设计上是正确的,可将综合后的 edf 文件输送给 Xilinx 布局布线器实现。

3 结束语

本文研究的内容是一种用于高速通信系统中的误码测试仪。该高速信号误码测试仪是基于 FPGA(现场可编程门阵列)为核心设计而成,适用于断线误码检测。误码测试仪在发送端发送 m 序列作为测试数据,其测试速率最高可达到 155Mbps。对于高速数字电路迅速发展的今天,此误码测试仪的测试速率还可进一步提高,但是一旦提高了误码测试仪的工作速率,就无法回避高速数字电路中信号完整性,电磁干扰等高速数字电路设计中要注意的问题。由于使用 FPGA 实现误码测试仪的核心功能,该系统具有可以升级的特点。

设计中软件部分采用的是 Verilog 硬件语言编写程序,软件开发环境使用的是 Xilinx 公司的 EDA 集成开发工具 ISE8.1,仿真工具 ModelSim SE 6.1b,综合工具 Synplify Pro8.1 等几款软件。硬件实现采用的是 Xilinx 的 SPARTAN-III 系列中的 XC2S50E 平台级 FPGA 为核心功能芯片。在 FPGA 中实现误码测试仪的发送部分、接收部分及误码量统计模块的设计。辅以时钟合成芯片 Micrel SY87739L、时钟提取芯片 Micrel SY87700V 及单片机(C8051F010)的控制,整个系统的体积较小,成本也较低。

参考文献:

- [1] 刘江,张宏霄,刘洛琨.基于FPGA的误码率测试仪的设计与实现[J].微计算机信息,2005,21(4):162-163.

- LIU Jiang,ZHANG Hong-xiao,LIU Luo-kun.Design and realization of bit error ratio tester based on FPGA[J]. Control & Automation,2005,21(4):162-163.
- [2] 郑国惠,陈友荣,陈张健,等.一种基于FPGA的误码测试仪[J].浙江工业大学学报,2005,33(5):507-510.
ZHENG Guo-hui,CHEN You-rong,CHEN Zhang-jian,et al. A error detector based on FPGA [J].Journal of Zhejiang University of technology, 2005,33(5):507-510.
- [3] 杨飞,张尔扬.基于FPGA的高速误码仪接收端设计方案的探讨[J].电子工程师,2006,32(4):3-4.
YANG Fei,ZHANG Er-yang.Discussion of design concepts of a high-speed error code testing instrument receiving port based on FPGA[J].Electronic Engineer,2006,32(4):3-4.
- [4] 张蕴玉,田俊.基于FPGA的误码测试仪的设计[J].自动化与仪表,2005,20(6):23-26.
ZHANG Yun-yu,TIAN Jun.Design of bit error rate tester based on FPGA [J].Automation & Instrumentation,2005,20(6):23-26.
- [5] 郝云芳.基于FPGA的智能误码测试仪[J].西安邮电学院学报,2006,11(5):36-39.
- HAO Yun-fang.Intelligent error code test instrument based on FPGA [J].Journal of Xi'an University of Post and Telecom,2006,11(5):36-39.
- [6] 吴炜祺,陈晶,代永红,等.FSO通信误码测试仪硬件设计[J].光通信技术,2007,31(8):63-65.
WU Wei-qi,CHEN Jing,DAI Yong-hong,et al.Design of BER tester using for FSO communication [J].Optical Communication Technology,2007,31(8):63-65.
- [7] 陈寅芳,朱勇,曹彦武.基于FPGA的突发误码测试仪的设计[J].光通信技术,2010,34(4):45-48.
CHEN Yin-fang,ZHU Yong,CAO Yan-wu.The design of burst error detector based on FPGA [J].Optical Communication Technology,2010,34(4):45-48.
- [8] 孙磊君,胡次惠,马超.高速突发模式误码测试仪的FPGA实现方案[J].单片机与嵌入式系统应用,2010(6):44-47.
SUN Lei-jun,HU Ci-hui,MA Chao.High-speed burst-mode BER tester based on FPGA [J].Microcontrollers & Embedded Systems,2010(6):44-47.

德州仪器技术支持社区成员突破 5 万人

日前,德州仪器(TI)宣布,TI E2E 社区成员突破 5 万人大关,作为一个可为越来越多技术专家解答问题的平台,TI E2E 社区可帮助社区成员解决从前期设计规划到故障排除的各种问题。TI E2E 社区于 2008 年 4 月启动,主要通过根据不同产品及应用划分的讨论区为 TI 员工及全球工程师提供技术支持。所有成员不但可通过提问来满足设计需求,解决技术难题,而且还可通过回答其他成员的问题展示自身在特定领域的专业技术。

TI 社区及社交媒体全球经理 Aimee Kalnoskas 指出:“成员数量达到 5 万人这一里程碑只是 TI 通过 TI E2E 社区提供工程设计技术支持承诺的开始。我们今年的目标不仅是要通过提高成员数量和参与水平来扩展 TI E2E 社区可搜索知识库容量,更是要在有益于工程师的环境中提供相关性更强的关联内容。”

德国工程师 Jens-Michael Gross 是 TI E2E 社区的最高级别成员,在他身上我们可以看到社区的真正价值,他是通过社区奖励机制达到“大师”级成员的第一人(仅用了 6 个月时间)。

Gross 表示:“我最初加入该社区是因为我遇到了一个产品说明书不能解释的问题,我出于好奇地花了一些时间按照别人的思路寻找答案。后来我很快发现其他人的问题其实可成为我自己设计项目的灵感来源,设法了解别人的问题其实可作为自己设计工作的第一步。这就是我长期参与该社区的原因所在。”

咨询编号:2011091013

欢迎投稿! 欢迎订阅! 欢迎刊登广告!

国内刊号:CN61-1477/TN

国际刊号:ISSN 1674-6236

在线投稿系统:<http://mag.ieechina.com>

ad@ieechina.com(广告)

地址:西安市劳动南路 210 号 5-1-3 信箱

邮政编码:710082