

# 基于 FPGA 的星载计算机自检 EDAC 电路设计

孙吉利 张平

(中国科学院电子学研究所, 北京 100190)

**摘要** 为了消除空间环境中单粒子翻转 (SEU) 的影响, 目前星载计算机中均对 RAM 存储单元采用检错纠错 (EDAC) 设计。随着 FPGA 在航天领域的广泛应用, FPGA 已成为 EDAC 功能实现的最佳硬件手段。本文介绍了 EDAC 的编码和实现, 提出一种功能完善的、具有自检、自纠错功能的 EDAC 电路设计, 并采用仿真工具对该 EDAC 电路的功能进行了验证。

**关键词** EDAC FPGA 自检 自纠错 仿真验证

**中图分类号:** V446+.4; TP338.1 **文献标识码:** A

## A self-checking EDAC design based on FPGA for spacecraft computer

Sun Jili, Zhang Ping

Institute of Electronics, Chinese Academy of Sciences

**Abstract:** To mitigation single-event upsets (SEU) for spacecraft computer in space environment, error detection and correction (EDAC) design is used to protect the contents of memory without exception. FPGA becomes a best hardware method of EDAC implement along with the widely use in spacecraft development. The theory and implement of EDAC is introduced in this paper, and a perfect EDAC design with self-checking and self-correcting is described. Functions of the design are simulated and verified in emulator software.

**Keywords:** EDAC, FPGA, self-checking, self-correcting, simulate and verify

### 1 引言

随着人类对空间探索的深入, 空间环境对空间飞行器的电子设备和器件的影响逐渐显现出来。空间辐射效应, 特别是单粒子效应, 对空间任务的完成具有潜在的巨大危害。星载计算机是卫星的核心部件, 在空间辐照环境下, 必须充分考虑单粒子翻转现象对星载计算机程控功能的破坏或影响。针对该问题, 目前普遍采用纠错检错 (EDAC) 设计对星载计算机的 RAM 存储单元进行纠错检错处理来消除 SEU 故障。

EDAC 功能可采用硬件和软件两种手段来实现。采用软件手段实现, 需要在读写 RAM 存储单元时, 对存储数据和冗余信息进行计算, 因而要占用大量的 CPU 时间。对于星载计算机而言, 由于 CPU 器件选型的局限, 限制了 CPU 的性能, 使 CPU 资源非常宝贵, 因此目前普遍采用的是硬件手段来实现 EDAC 功能。随着 FPGA 在通信信息特别是在航天领域的广泛应用, FPGA 已成为 EDAC 功能实现的最佳硬件手段。从目前可获得的资料看, 近些年欧美发射的卫星均采用了 FPGA 作为星载计算机的核心器件。

### 2 基于汉明码的传统 EDAC 设计

#### 2.1 汉明编码

目前有许多编码可以用来作为抗 SEU 的纠错码使用, 汉明编码是最常用的 EDAC 编码, 由 Hamming 于 1950 年构造。这种编码可以进行检错和纠错, 可以检测 1 比特和 2 比特错误, 只能纠正 1 比特错误, 因此适用于单组数据中出现多个错误位概率较低的情况, 这恰与 SEU 经常会修改 RAM 存储单元 1 比特信息的情况相符。

汉明编码的实现增加的硬件资源主要是存储器单元, 用来存储冗余数据, 另外还增加了编码和解码电路, 参加编码和解码的异或门电路随着原始数据位数的增加而线性增加。在处理性能方面, 编码和解码造成一定的延时, 增加了存储器的读写时间。并

#### 2.2 传统的 EDAC 电路设计

传统的 EDAC 电路设计仅实现读写功能, 基本原理框图如图 1 所示。写操作时, CPU 将数据

送入EDAC编码模块中, EDAC编码模块根据该数据生成校验码, 并将原始数据和校验码分别写入数据RAM和校验RAM中; 读操作时, CPU将数据RAM和校验RAM中的数据取出, 送入EDAC纠错模块中, EDAC纠错模块将正确的数据送至CPU。这里EDAC编码\纠错模块的硬件实现可以是专用芯片, 也可以采用通用的中小规模集成电路搭建。

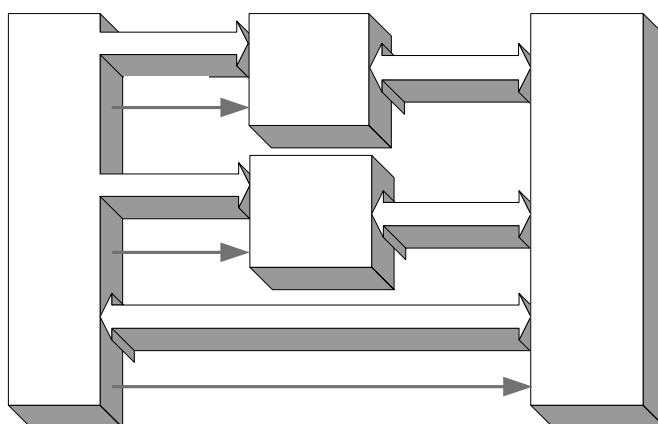


图1 传统EDAC电路设计框图

SEU造成的RAM单元1比特错误如果不定时清除, 就会产生累积, 使计算机由此处理的结果产生出2比特甚至更多比特错误, 这种情况下将无法采用EDAC功能进行数据纠错, 导致系统错误操作甚至任务失败。因此定时对RAM存储单元进行更新是必要的, 但在传统EDAC电路设计下, 对RAM存储单元的更新只能由计算机的CPU(单片机)进行, 其操作流程如下:

- (1) 从存储单元读出数据;
- (2) 将读出数据重写入;
- (3) 重复(1)~(2), 直至全部单元更新完。

以航天计算机常用的80C32单片机为例, CPU对外部存储单元的读或写操作需要2个指令周期, 读完再写入需要4个指令周期, 每个指令周期包含12个时钟。假设CPU时钟为20MHz, 更新1M个RAM存储单元需要的CPU时间为:  $4 \times 12 \times 1M / 20MHz = 2.4s$ 。

对于星上非常紧张的CPU资源来说, 这是难以接受的, 大大增加了星上CPU软件的设计难度。这种方法的另一个大的缺点是无法获得数据错误信息, 因为CPU直接读取的是纠错后的数据, 所以无法对星上SEU造成RAM单元出错的概率和错误模式进行统计。

### 3 基于FPGA的自检EDAC设计

#### 3.1 功能分析

由于FPGA的内部大量的逻辑资源, 使EDAC电路设计可以实现更加复杂的功能。在星载计算机中, 为了提高效率并节省CPU资源, 一个理想的EDAC电路设计, 应具有以下三部分功能:

(1) 数据读写功能。在CPU写操作时, 对原始数据进行编码, 生成校验码, 并将原始数据和校验码存储; 在CPU读操作时, 从存储器中取出原始数据和校验码, 进行计算, 如有错误, 将错误纠正后输出, 如无错误, 直接将原始数据输出。

(2) 自检、自纠错功能。在CPU控制要求下, 可自动对所有EDAC保护的RAM存储区进行顺序读取和校验, 检测出错误数据或校验码。在自检状态下, 如果由CPU配置为自纠错状态, 当某一RAM单元检测出单比特错误后, 自动将正确数据和校验码重新写入该RAM单元。该项功能的实施, 基本上可保证SEU对计算机RAM区造成的影响及时得到修复。

(3) 错误信息处理功能。在CPU读操作或者自检状态下, 通过输出错误标志信号, 对CPU产生中断, 对产生的错误进行相应处理。在CPU读操作或者自检状态下, 如果检测出错误, 将出错的地址、原始数据和校验码进行暂存, 可由CPU读取, 进行相应处理。

### 3.2 设计与实现

根据以上分析，笔者设计了如图2所示的自检EDAC电路，EDAC的功能主要由FPGA来实现。到目前为止，具有航天等级的FPGA芯片已经具有内置的CPU硬核以及高达2.5Mbit的RAM资源，因此该设计中的CPU和RAM模块均可以是FPGA内部资源，当内部资源无法满足设计要求时，也可以采用外置CPU芯片或外置RAM芯片。

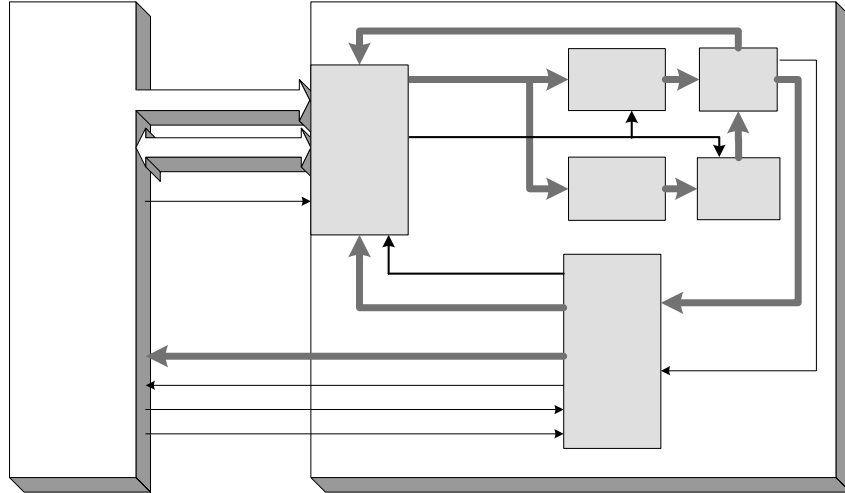


图2 自检EDAC模块设计框图

在本设计中，我们采用外置的CPU芯片和内置的RAM单元，作为自检EDAC电路的硬件平台（或环境、资源）。CPU芯片在这里起到的作用是启动EDAC自检，处理错误地址总线而发送错误信息，并根据地面要求对错误信息进行处理。

在该设计中，检测一个存储单元地址仅需要4个时钟周期，如果开启自检功能，并且检测到单比特错误，再增加2个时钟周期用来纠错。因此如果时钟为20MHz，并且错误数据较少，则更新1M个RAM存储单元需要的时间约为： $4 \times 1M / 20MHz = 0.2s$ 。

更重要的是，在这0.2s的时间里，仅在出现错误时需要向计算机产生中断，进行相应处理，对地面进行错误报告，因而CPU处理时间很短，节省了宝贵的CPU资源。

### 3.3 仿真与验证

在空间环境下普遍存在的SEU，在地面环境下是很难获得的，为了在地面对该EDAC电路设计进行验证，需要采取故障注入手段。由于在本例中RAM存储单元采用FPGA内部资源，因此故障注入变得相对简单。在FPGA进行程序综合时，可将预先编制好的RAM存储单元初始化文件一起综合。因此我们可在编制RAM存储单元初始化文件时，对某些比特位进行修改，以模拟空间环境下SEU对RAM存储单元的影响。

在这里采用Xilinx公司的XQRV300为硬件载体，该型号FPGA芯片在航天领域广泛使用。为节省仿真时间，数据RAM存储单元采用256\*8bit，检验RAM存储单元采用校验码控制在RAM存储单元初始化文件中，人工加入了12个单比特错误，以及1个两比特错误，如下表所示。

表1 RAM存储单元注入的错误信息

存储单元地址 A7~A0 (HEX)	14	24	3C	60	71	84	94	AC	BA	D0	E2	F4	FF
存储单元数据 D7~D0 (HEX)	15	26	38	68	61	A4	D4	2C	BA	D0	E2	F4	BF
存储校验码 C3~C0 (HEX)	B	3	F	6	9	9	C	D	1	B	3	2	7
注入错误位置	D0	D1	D2	D3	D4	D5	D6	D7	C0	C1	C2	C3	D6, C3

为仿真简便起见，向存储单元存放的正确数据与存储单元地址相同。

时钟选择为20MHz，通过采用ModelSim软件进行布线后仿真，我们可以得到图3所示结果。

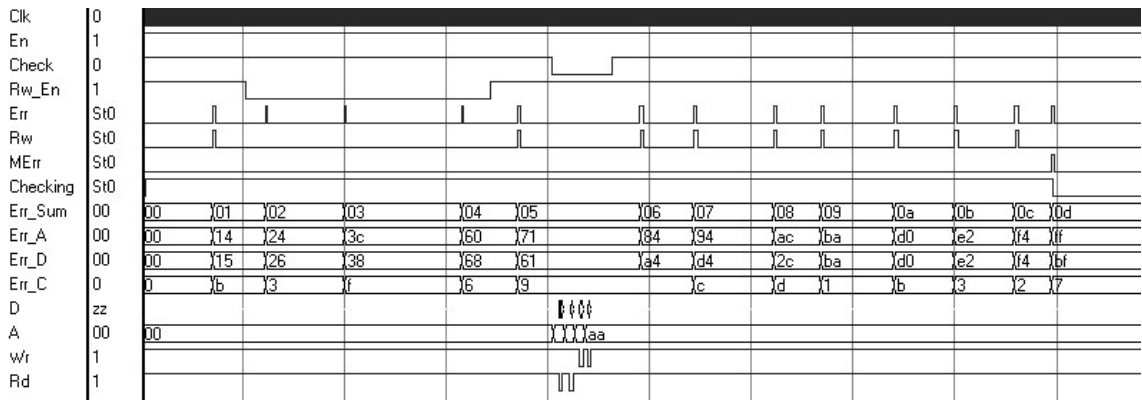


图3 EDAC自检过程仿真结果

- 图中：
- Clk — 系统时钟；
  - En — EDAC 模块使能控制；
  - Check — 自检启动/使能信号(信号上升沿触发一次巡检,信号为低暂停巡检)；
  - Rw\_En — 自纠错使能信号(为高允许纠错)；
  - Err — 错误中断(标志)信号；
  - Mw — 自纠错标志信号(为高表示正在进行自纠错操作)；
  - MErr — 多比特错误中断(标志)信号；
  - Checking — 自检标志(为高表示尚未完成本次巡检操作)；
  - Err\_Sum, Err\_A, Err\_D, Err\_C — 错误计数, 错误地址, 原始数据, 原始校验码；
  - D, A, Wr, Rd — 单片机数据、地址、写操作、读操作信号；

从图中可以看出，启动EDAC自检后，EDAC开始巡检RAM存储单元，产生错误中断(标志)信号，给出错误信息。当单片机需要处理中断时，将Check信号置‘0’，可暂时停止巡检，此时单片机可对RAM存储单元进行正常读写操作。等中断处理完后，单片机将Check信号置‘1’，恢复RAM巡检操作。

另外可通过Rw\_En的置‘0’或‘1’，来控制禁止或允许进行自纠错操作。

当出现可识别的多位错误时，产生Err和MErr两个错误中断(标志)信号，但由于汉明码仅能纠正单比特错误，因此不进行自纠错操作。

从原注入错误数据对应的地址读出数据，仿真输出结果如图4所示。

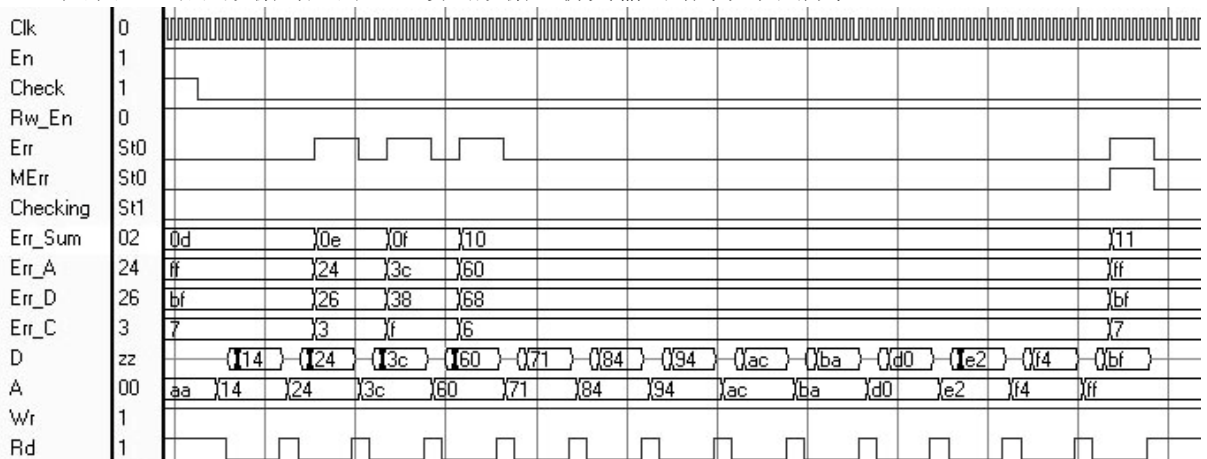


图4 EDAC自检后读出数据仿真结果

可以看出除最后一个地址(FFH)由于两位错仍输出错误外，其他地址输出数据均与地

址相同，即为正确数据。

其中，24H、3CH、60H三个地址虽然输出正确数据，但仍报错，表明存储器内数据仍然为错误数据，在输出时进行了纠错。这是由于在上次巡检到这部分地址空间时，通过把Rw\_En信号拉低，从而禁止了自动纠错，导致这三个地址错误数据未被纠正。而在对其他地址进行数据读取时，未产生错误标志，证明其他错误数据已被纠错。

#### 4 结论

本文在采用FPGA芯片实现基本EDAC读写功能的设计思路基础上，创建了一种新型的可对RAM存储单元进行自检的EDAC功能模块。该模块不但可以对RAM存储单元进行快速巡检，巡检时间仅为传统EDAC方法的十二分之一，还可以自动纠正已发现的错误。该模块最大的优点在于节省了单片机资源，几乎不需要单片机的参与即可完成所有自检功能，从而使基于FPGA的星载计算机对SEU事件防护能力得到较大的提升。本文中该模块采用Verilog硬件描述语言编程，具有可移植性，这种设计方法可用于各种体系结构的星载计算机中。

本文作者创新点：通过引入FPGA技术，设计了一种灵活、高效的自检EDAC电路，可在CPU的控制下实现对错误信息的自动处理，并提出了该EDAC电路验证方法。

#### 参考文献

- 1 王新梅，肖国镇. 纠错码—原理与方法. 西安电子科技大学出版社，2003
- 2 刘群，周新发，杨桦. 基于FPGA的EDAC技术在星载计算机中的应用. 控制工程，2005(5, 6)
- 3 杨孟飞，郭树玲，孙增圻. 航天器控制应用的星载计算机技术. 航天控制，2005，23(2)：69-73
- 4 谢浩，张健. 星载单片机系统抗干扰技术. 微计算机信息，2008，2-2：39-40
- 5 Wang J. J., Katz R. B., Sun J. S. et al. SRAM based re-programmable FPGA for space applications. Nuclear Science, IEEE Transactions, 1999 (12) : 1728-1735

作者简介：

孙吉利（1980—），男，硕士，中国科学院电子学研究所助理研究员，主要研究方向为雷达系统监测控制、嵌入式计算机系统等。

张平（1949—），男，中国科学院电子学研究所研究员、博士生导师，目前主要从事小卫星成像雷达的系统测控技术和系统总体设计技术研究及机载成像雷达新体制、新技术的研究工作。

Biography: Sun Jili (1980-), Man, Beijing, Institute Of Electronics, Chinese Academy Of Sciences, Master, Research Associate, research on control system of on-board radar and embedded computer system..

所投栏目： 嵌入式与SOC片上系统 嵌入式计算机应用