

H.264 标准半像素精度运动估计的 硬件结构设计*

·实用技术·

张鹏程,张志杰

(中北大学 信息与通信工程学院,山西 太原 030051)

【摘要】设计了一种实时的基于可变块的半像素精度运动估计模块,包括半像素插值模块和半像素搜索模块,插值模块采用6阶FIR滤波器进行插值,搜索模块采用分级搜索算法。此模块应用在H.264标准便携视频设备的编码部分,用Verilog语言编写,采用Xilinx公司XC4VVSX25的FPGA芯片作为硬件实现的运算核心。

【关键词】运动估计;半像素插值;FPGA

【中图分类号】TN911

【文献标识码】A

Hardware Architecture Design of Half-pixel Accurate H.264 Motion Estimation

ZHANG Peng-cheng, ZHANG Zhi-jie

(School of Information and Communication Engineering, North University of China, Taiyuan 030051, China)

【Abstract】In this paper, a high performance and hardware architecture for real-time implementation of half-pixel accurate variable block size motion estimation are presented. The proposed architecture includes a novel half-pixel interpolation hardware and half-pixel search hardware. The half-pixel interpolation implements the 6-tap FIR filter. The hierarchical search algorithm is used in half-pixel search. This half-pixel accurate motion estimation hardware is designed to be used as part of a complete H.264 video coding system for portable applications. The architecture is implemented with Verilog. Xilinx's FPGA-chip XC4VVSX25 is used as the core operation.

【Key words】motion estimation; half-pixel interpolation; FPGA

1 引言

随着数字视频技术在各个领域的广泛应用,视频编码压缩变得越来越重要,特别是在视频数据传输中,视频编码压缩成为其中不可缺少的部分,而视频压缩编码中一个很重要的组成部分就是运动估计,它对降低视频编码系统中的视频帧间时间冗余度、提高编码效率起着非常关键的作用,运动估计的准确程度将直接决定视频编码器的性能和质量。另外,由于运动估计要占用整个编码器编码时间的一半以上,所以运动估计算法的复杂性将直接决定视频压缩编码系统的效率。

运动估计是在一定范围内搜索使SAD准则函数最小的运动矢量的过程。基于整像素的运动估计能够产生整像素运动矢量,但是在实际运动中,物体的位移和取样很少正好是整像素的,整像素的运动矢量并不能很好地代表物体的实际运动方向。因此,大部分的国际标准中都采用了半像素、1/4像素的运动估计来提高运动矢量的精度^[1]。

笔者设计的半像素精度运动估计模块分为2个部分:1)插值部分。包括对各种块尺寸的归类 and 插值运算,采用6阶FIR滤波器对参考帧进行插值,很好地提高了

运动预测的性能;2)搜索部分。搜索模块采用分级搜索法。在硬件实现上,选用Xilinx公司XC4VVSX25的FPGA芯片,利用其片上丰富的存储资源和逻辑资源来实现模块的集成化,以适应便携式系统体积小的需要^[2]。

2 半像素插值算法及其硬件设计

首先要计算得出搜索窗内的半像素点亮度值,得出半像素精度的运动矢量,采用相邻像素法,在水平和垂直方向上都采用6阶FIR滤波器插值,其系数为(1/32, -5/32, 20/32, 20/32, 5/32, 1/32)。对处于整像素之间的半像素进行插值,根据在垂直或是水平方向上对其列或者行上面的整像素进行差值运算,将水平方向定为A组,垂直方向定为B组,再对处于半像素之间的半像素进行插值,将其定为C组。这些是根据搜索模块中的存储这些像素的寄存器定义,在下文会详细说明。

插值部分的硬件实现如图1所示。从10×10寄存器中一次性读取20个整像素来进行插值运算,其数据宽度为160bit,这样的硬件设计没有采用复用结构,不论是数据宽度还是10个FIR并用,对资源消耗都比较大。但是这种比较大的硬件资源开销产生10个半像素只需要2个周期,极大地缩短了插值的时间,并且容错性比FIR复

* 山西省回国留学人员科研项目(2008067)

要高很多。

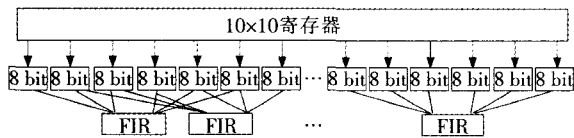


图1 垂直方向半像素计算结构

在此设计中,乘法的硬件实现利用移位寄存器,加法利用加法器。其输出范围为[0,255]的10 bit数据。去掉前2位无用比特变成8位以精简数据。按照笔者所采用的算法,计算4个处于一行的半像素,需要这一行的9个整像素。在列方向上,计算4个半像素需要7个整像素。那么,对一个4x4整像素块进行插值需要从寄存器中读取10x10块。对于8x16,16x8,8x8,4x8和8x4大小的块都分解为4x4的块大小来做,例如8x8就可以分解为4个有着相同运动矢量4x4块来依次进行插值。按照这样的算法,A组的50个半像素在5个时钟可以通过计算得出。B组的20个半像素需要2个时钟。C组的20个半像素是由A组计算而出,也是5个时钟。对于一个4x4块半像素搜索窗所需的半像素只需要12个时钟就可以得出。

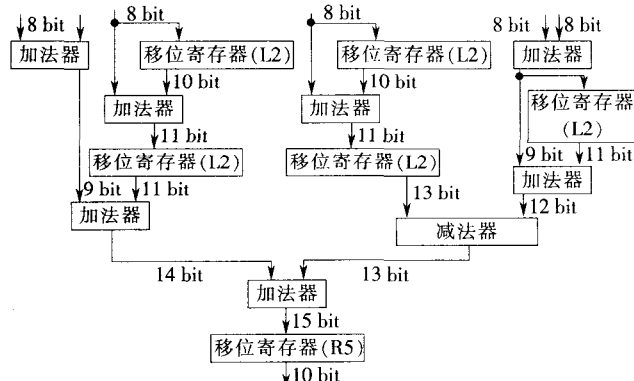


图2 FIR滤波器数据通路

3 搜索模块硬件设计

笔者采用传统的分级搜索算法,这种算法先在搜索区内找到最佳整像素匹配的运动矢量,再在该匹配点周围的8个半像素点处寻找最佳匹配点,得到半像素精度的运动矢量^[3]。假设对于4x4模块的整像素运动矢量为整像素第4行第4个点。那么,半像素搜索窗对围绕这个整像素的8个半像素来确定半像素向量。对于这个4x4模块的半像素搜索窗由这个整像素的左上角的C组半像素开始利用处理单元(PE)计算SAD,到此整像素右下角的C组半像素为止。在这个搜索窗内,整像素和半像素共有81个,整像素个数为16个,则需要计算的半像素个数为65个。计算这些半像素需要图3中所包

含的100个整像素。对于这些整像素,将其储存在10x10寄存器中,而计算得出的半像素,放置于搜索寄存器中。

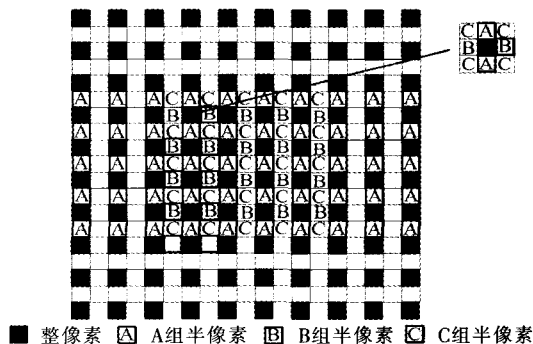


图3 10x10整像素窗

搜索模块在保证搜索速度的前提下能够得到更精确的运动矢量^[4]。4x4块的半像素搜索如图4所示。搜索窗中每个像素与现存块像素进行一次对比,在一个时钟内占用一个PE。

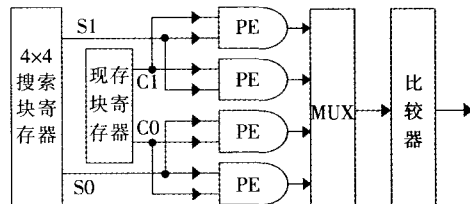


图4 4x4块半像素搜索结构

为了使搜索操作更快,在硬件实现上采用4个PE并行的结构。这样只需要32个时钟就能够进行8次搜索。将得出的SAD值送入比较模块,得出最小的SAD值和最佳匹配的运动矢量。S0和S1都是8位的读出口。每个时钟都有一个像素送入PE和现存块寄存器中存储的块像素进行比较。现存块寄存器有C0和C1这2个8bit口。对于其他块尺寸,此搜索操作同样适用。在对数据流进行搜索操作时,这种设计降低了搜索寄存器的存储空间,减少了端口数目,降低了资源开销^[5]。

4 实现结果

笔者设计的基于可变块的半像素运动估计硬件模块由Verilog语言编程实现。该模块对于4x4块的运动估计需要48个时钟(周期),其中半像素插值需要14个时钟,12个时钟用于插值,2个时钟用于数据的读入和读出;半像素搜索模块需要34个时钟,同插值一样,需要2个时钟耗费在数据的读入和读上。对于H.264中标准的16x16块,需要768个时钟。对于8x4块,插值需要25个时钟,搜索需要65个时钟。如果标准的16x16块按照8x4块来分,那么需要720个时钟。同理可知,对于4x8块也需要720个时钟。

(下转第39页)

表4 两种测试的测试时钟周期数比较

名称	周期数	覆盖率/%	周期比(二模块/串行)
整体测试时间(串行)	6 050 015	81.0	1.0000
存储器模块类型	4 220	99.0	1 433.653 0
信号不相关模块类型	2 700	96.7	2 240.746 0
信号相关模块类型	37 760	92.0	160.222 9
整体并行测试	37 760	95.1	160.222 9

可行性进行验证,测试结果与仿真结果一致。笔者介绍的可测性设计方法具有故障覆盖率高、模块测试设计复杂度低、测试时间短、测试功耗低等优点,对其他视频信号系统普遍适用,可以推广至其他视频信号处理系统,如H.264系列、AVS^[15]系列视频信号处理系统。

参考文献:

- [1] BENNETTS R. Design of testable logic circuits[M]. Massachusetts, USA: Addison-Wesley Press, 1984.
- [2] 于云华,石寅. 数字集成电路故障测试策略和技术的研究进展[J]. 电路与系统学报, 2004(6): 83-91.
- [3] 赵强,杨华中. HDTV 视频解码芯片的系统设计与关键技术[D]. 北京:清华大学, 2006.
- [4] 徐磊. 基于 SoC 架构的可测性设计方法学研究[D]. 北京:清华大学, 2002.
- [5] 唐佳廉. 多媒体解调芯片的扫描设计与物理实现[D]. 西安:西安电子科技大学, 2008.
- [6] 林平分,余会星. 数字电视解调芯片的可测试性设计与优化[J]. 微电子学与计算机, 2008(8): 172-175.

(上接第 34 页)

设计由 MGM 进行 RTL 级别的仿真。采用 FPGA v4 芯片,速度为-10,整个模块工作时钟为 85 MHz。对于 HDTV 的视频来说,一帧划分为 3 600 个宏块(MB),每一个按照最慢的 4x4 块划分需要 768 个时钟。每个时钟 11.8 ns,处理一幅 HDTV 帧需要 32.6 ms。每秒能够处理 20 帧,符合人眼观看习惯。本模块设计占用资源情况为:2 799 个 CLB,5 463 个 DFF,3 627 个函数发生器,3 对 DCM。

5 小结

笔者设计了一种基于可变块的半像素插值模块,该模块集成在 FPGA 芯片内部,资源开销少。可以实时地实现 H.264 标准下的运动估计的半像素插值。此硬件模块包含一个半像素插值模块和一个半像素搜索模块,能够对 4x4,4x8,8x4 块进行运动估计。此模块应用在可便携式的 H.264 编码系统中。能够对 HDTV 制式的(1 280x 720)一帧进行耗时为 32.6 ms 的运动估计,帧速为 30 f/s(帧/秒)。

- [7] 蔡志匡,黄凯,黄丹丹,等. Garfield 系列 SoC 芯片可测性设计与测试[J]. 微电子学, 2009(10): 593-596.
- [8] IEEE Standard 1149.1-2001. Standard test access port and boundary-scan architecture[S]. 2001.
- [9] 沈理. SoC/ASIC 设计、验证和测试方法学[M]. 广州:中山大学出版社, 2006.
- [10] 熊险峰,张红南,杨献,等. 系统芯片的测试技术[J]. 半导体技术, 2003, 28(2): 13-16.
- [11] 高平,成立,王振宇,等. 数字 VLSI 电路测试技术——BIST 方案[J]. 半导体技术, 2003, 28(9): 29-32.
- [12] 黎明静. 基于 March C+算法的存储器内建自测试自测试设计与仿真[D]. 哈尔滨:哈尔滨理工大学, 2009.
- [13] 高媛媛,蔡乐才. 关联规则在 BIST 可测性设计中的应用[J]. 成都大学学报, 2007(6): 128-131.
- [14] 胡学良,张春,王志华. JTAG 技术的发展和运用综述[J]. 微电子学, 2005, 35(6): 624-630.
- [15] 曹建林,黄文海,高立鑫,等. AVS 解码器芯片测试的研究[J]. 电视技术, 2006, 30(12): 86-87.

作者简介:

廖富成(1984-),硕士生,主要从事芯片测试的研究;

乔飞(1977-),硕士生导师,研究方向为面向视频信号处理的高性能低功耗集成系统体系结构,以及低功耗集成电路设计。

杨华中(1967-),教授,博士生导师,研究方向包括面向通信和多媒体应用的集成数字芯片设计,模拟和射频芯片设计,以及相关电子设计自动化技术的研究。

责任编辑:任健男

收稿日期:2010-06-24

参考文献:

- [1] KATZ D, GENTILE R. Fundamentals of embedded video processing [EB/OL]. [2010-04-12]. http://www.eet-china.com/STATIC/PDF/200807/Embedded_Video_ENG.pdf?SOURCES=DOWNLOAD.
- [2] 田耘,胡彬,徐文波. Xilinx ISE Design Suite 10.x FPGA 开发指南[M]. 北京:人民邮电出版社, 2008.
- [3] 田耘,徐文波. Xilinx FPGA 开发实用教程[M]. 北京:清华大学出版社, 2008.
- [4] 赵波. 基于 VLSI 实现的视频编码关键算法研究[D]. 西安:西安电子科技大学, 2006.
- [5] 付宇卓. MPEG-2 视频编码器模块的结构设计[D]. 哈尔滨:哈尔滨工业大学, 2001.

作者简介:

张鹏程(1985-),硕士生,主研视频采集和存储测试系统;

张志杰(1967-),博士生导师,主研现代测试理论与技术、动态测试与智能仪器、数字信号处理理论与技术等。

责任编辑:孙卓

收稿日期:2010-04-12