赛灵思工具和IP更新

Xilinx努力帮助设计师提高工作效率，不断改善其产品、IP和设计工具。在此我们向您报告旗舰FPGA开发环境—ISE®设计套件及Xilinx® IP—2011年5月的最新更新。产品更新带来了显著改善，并为ISE设计套件的三个版本—逻辑版、嵌入式版和DSP版—加入了新功能。始终保持您安装的ISE是最新版本是确保您的设计拥有最佳效果的一个简单方式。ISE设计套件的更新可在Xilinx 下载中心www.xilinx.com/cn/download下载。欲获知更多信息或下载免费的ISE 30天评估版，请访问网站www.xilinx.com/cn/ise。

Xilinx已经开发出一款称为文档导航器（Documentation Navigator）的应用程序，它允许用户以一个界面查看和管理Xilinx设计文档（软件、硬件、IP及更多其他），并辅以易于使用的下载、搜索和通知功能。欲试用当前处于公测发行阶段的全新Xilinx文档导航器，请点击 *www.xilinx.com/cn/support* 的下载链接。

设计套件：逻辑版

Front-to-back FPGA 逻辑设计

最新版本号：13.1

最新发布日期：2011 年 3 月

之前版本：12.4

最新补丁的下载地址：

www.xilinx.com/cn/download

本次修订亮点：

全新设计的PlanAhead™用户界面和IP套件提高了SoC设计组全线产品的工作效率，并有助于向着真正的即插即用IP发展，即插即用IP的目标对象是Spartan®-6、Virtex®-6 和7系列FPGA，包括业界领先的两百万逻辑单元的Virtex-7 2000T器件。

PlanAhead设计和分析工具：Xilinx进一步提升了PlanAhead的图形用户界面（GUI），为新手和高级用户提供了直观的操作环境。PlanAhead 13拥有对Virtex-5、Virtex-6和Spartan-6 设备系列的能耗估计功能。GUI新的计时时钟资源（Clocking Resource）视图能够辅助可视化，以及计时时钟相关站点的分配。同时，PlanAhead 13将Xilinx ISE仿真器（Isim）整合到了设计流程中，并通过使用新的HDL调试探测功能增加了标记RTL网络的能力。此外，13版PlanAhead 还支持分层设计。

团队设计：《ISE13设计套件入门》提供的是一种团队设计方法。利用PlanAhead，通过提供一种让开发者团队并行协作的方式，将多位工程师开发同一项目所带来的挑战迎刃而解。团队设计流程建立在ISE12设计套件所提供的设计保存功能之上，可以提供附加功能，允许将设计中已完成部分的早期执行结果锁定，而不必等待设计团队中其余部分的完成。这一新功能能使设计中剩余部分更快速的时序收敛和时序维护保持变得容易，提升整体工作效率，减少重复设计。.

ISE 仿真器（Isim）：PlanAhead13已经将Xilinx ISE仿真器（Isim）整合到了设计流程中。流程导航器（Flow Navigator）提供对这一工具的使用权限。.

项目浏览器: 嵌入式开发工具包（EDK）的综合改进包括对多ELF文件的支持，以及自动探测被EDK设计所引用的ELF文件。

FPGA 编辑器: 新增的Lock Layers工具栏按钮可锁定当前层级的所有缩放级的可见性设置。

Xilinx功率分析器：该工具拥有增强的活动传播矢量算法。.

iMPACT:该工具目前支持SPI/BPI编程。

ISE设计套件：嵌入式版

嵌入式设计集成解决方案

最新版本号：13.1

最新版本的发布日期：2011年3月

之前的版本: 12.4

最新补丁的下载地址:

www.xilinx.com/cn/download

本次修订亮点：

ISE设计套件的所有版本都包括上文中所列对逻辑版的改进。而下文中的改进都是专门针对嵌入式版的。

项目浏览器: 由于可用性的提升，在项目创建阶段选择Xilinx 开发板成为可能。仿真和执行所用的软件ELF文件现在可以作为资源文件。多处理器实例现在可以在资源窗口中得到识别和显示。设计师也可以将硬件设计能力运用到SDK中，并在项目导航器中启动SDK

Xilinx平台工作室（XPS）：这个工具也在可用性上获得了提升，包括一个AXI从属外设创建的定制向导，用AXI BFM为ModelSim、Isim和NC Sim构建测试平台，以及自动总线连接功能——这可以使用多个MicroBlaze™处理器创建系统变得轻而易举。此外，AXI系统现在是基本系统生成器（Base System Builder）中Spartan-6和Virtex-6设计中所用的的默认

系统。基本系统生成器仅为7系列的设计仅提供对AXI系统的支持。

Zynq-7000配置向导：该向导允许用户对外设的选择和配置

EDK 总体改进：嵌入式开发工具包现在为项目导航器、Xilinx平台工作室（XPS）和SDK提供一致的SDK工作区选择行为，同时还提供基于TDP器件的许可支持。

SDK改进：软件开发工具包提供在Xilinx微处理器调试器（XMD）中对7系列产品的初始支持。

项目浏览器/EDK集成：改进包括为执行和仿真识别.xmp和独立ELF资源中的处理器实例。

MicroBlaze：全新的8.10.a版嵌入式处理器支持7系列Virtex 器件。AXI现在是7系列产品设计的默认界面。此外，MicroBlaze 配置向导还支持容错功能。

ISE设计套件：DSP版

面向高性能DSP系统

最新版本号：13.1

最新版本的发布日期：2011年3月

之前的版本：12.4

最新补丁的下载地址：

www.xilinx.com/cn/download

本次修订亮点：

ISE设计套件的所有版本都包括上文中所列对逻辑版的改进。针对DSP版的的改进实现了典型模型的33%的首次初始化提升，对典型模型的仿真速度提升1.5倍至3倍。DSP版现在也支持AXI4快速傅里叶变换的快速仿真模型，以实现42倍加速。

DSP系统生成器：该工具支持2011a版MATLAB®/Simulink®。所有的系统生成器程序模块现在都支持Kintex-7和Virtex-7器件。新的程序模块包括7系列的DSP48E1、Complex Multiply 5.0、DSP48 Macro 2.1、FIR Compiler 6.2和VDMA Interface 3.0。本次发行的版本中还加入了对AXI Pcore和硬件协调仿真的系统生成器支持。

XILINX IP更新

IP名称：ISE IP更新13.1

IP类型：全部类型

目标应用程序：Xilinx开发了IP核，并且和第三方IP供应商合作缩短面向客户的上市时间。Xilinx FPGA和IP核的强大组合提供了媲美ASSP的功能和性能，同时具备ASSP所不具备的灵活性。

最新版本号：13.1

最新版本的发布日期：2011年3月

之前的版本：12.4

最新补丁的下载地址：

www.xilinx.com/cn/download

相关信息链接：

www.xilinx.com/cn/ipcenter/coregen/updates_13_1.htm

安装指南：

www.xilinx.com/cn/ipcenter/coregen/ip_update_install_instructions.htm

本次发布中所有IP的列表：

www.xilinx.com/cn/ipcenter/coregen/13_1_datasheets.htm

本次修订亮点：

自13.1版起，所有ISE CORE Generator™ IP 都支持Kintex™-7和Virtex-7器件。

音频、视频及图像处理IP：

对象分割1.0版（AXI4-Lite）配合图像特征工具LogiCORE™ IP，可将所提供的统计数据转换到对象列表中，该列表符合用户定义的一套对象特征。AXI视频直接存储器存取1.0版（AXI4、 AXI4-Stream、 AXI4-Lite）为控制和同步外存储器中的视频帧提供灵活界面。设计师可以将来自不同时钟域的多个VDMA连接在一起，控制多种来源的帧存储的读写。

DSP通信模块：

线性代数工具包1.0版（AXI4- Stream）实现了基础矩阵运算，包括矩阵与矩阵间的和、差运算，矩阵与标量的乘法运算，以及矩阵与矩阵的乘法运算。在为各种信号和数据处理应用程序开发复杂的复合型功能方面，此IP提供了灵活优化的模块。

FPGA特性和支持：

7系列FPGA收发器向导1.3版可以通过使用定制的Verilog或VHDL封装，配置一个或更多个Virtex-7和Kintex-7 FPGA GTX收发器，既可以从零开始也可以使用业界标准模板。向导也提供示例设计、测试平台和代码，以便您观察收发器在仿真和硬件中的运行情况。XADC向导1.2版生成了一个HDL封装，为用户定义的通道和警报配置单个的7系列FPGA XADC原型。

标准总线接口和I/O：

7系列PCI Express® （PCIe®）集成模块1.0版（AXI4-Stream）实现了一路、两路、四路或八路配置。该IP将7系列的PCI Express硬件IP集成模块和灵活的架构特性相结合，可以实现符合PCI Express 基础规范2.1版的PCIe端点或根端口。针对PCI Express的LogiCORE IP采用的是高性能AXI界面。 它为高带宽应用程序使用最佳缓冲，以及BAR校验和过滤。

无线IP：三倍速率SDI 1.0版（AXI4-Stream）IP针对PTE SD-SDI、HD-SDI和3G- SDI标准提供接收器和发射器界面。三倍速率SDI接收器和发射器在Verilog和VHDL中都采用未加密源代码，

让您可以根据特定的应用程序完全定制这些界面。3GPP LTE PUCCH 接收器1.0版（AXI4-Stream）为设计师提供了符合3GPP TS 36.211 9.0.0版物理通道和调制（第9版）规范的LTE 物理上行链路控制通道接收器模块。接收器模块支持通道估测、解调和解码。

支持AXI4界面的附加IP：Xilinx已经更新了最新版本的内核生成器IP，增加了AXI4接口支持。欲获知更多详细支持信息，请访问*www.xilinx.com/cn/ipcenter/axi4_ip.htm*。总之，AXI4 接口将获得最新版本的IP模块的支持，该IP模块用于Virtex-7、Kintex-7、Virtex-6和Spartan-6器件系列。旧版本的IP将继续为Virtex-6、Spartan- 6、Virtex-5、Virtex-4和Spartan-3器件系列的各自的内核提供对早期接口的支持，且仅限于这些产品系列。欲获知Xilinx AXI4支持的基本资料，请访问 *www.xilinx.com/cn/axi4.htm*。点击以下链接，您将看到一个包含本次发布中所更新的内核的综合列表：*www.xilinx.com/cn/ipcenter/coregen/13_1_datasheets.htm*。关于本次发布LogiCORE IP的更多信息，请访问*www.xilinx.com/cn/ipcenter/coregen/updates_13_1.htm*。

内核生成器和PlanAhead设计流程的改进：内核生成器和PlanAhead现在为Xilinx和Alliance Program成员提供对基于IP-XACT的IP库的支持。（使用它们无需改变现有的内核生成器、PlanAhead和项目导航器用户流程。）新的IP管理下拉菜单提供了贮存器和IP管理功能。IP目录中每个内核所支持的AXI4的显示现在将不同的AXI4接口放置在相互独立的可分类栏中，这包括AXI4、AXI4-Stream和AXI4-Lite。IP符号中的独立端口现在可以被分组到AXI4通道中，以简化符号查看。本次发布中，PlanAhead也增加了对自动IP升级流程的支持。

赛灵思最新ISE 13.2 设计套件大幅提升性能

全球可编程平台领导厂商赛灵思公司宣布推出最新版 ISE® 13.2 设计套件，为28nm 7系列产品包括将于近期面世的Virtex®-7 VX485T提供支持。同时，最新版本的ISE设计套件把采用堆叠硅片互联技术构建的业界最高密度的 Virtex-7 2000T 器件的设计性能提高了 25%。最新版 ISE 软件还增强了 PlanAhead™ 设计分析工具的功能，不仅为 Virtex-7 和 Kintex™-7 提供部分重配置功能支持，而且其前端到后端综合项目管理环境提高了 Spartan®-6 FPGA、Virtex-6 FPGA 以及所有三个 7 系列产品的设计效率，包括为低成本的 Artix™-7 系列提供初期支持。

利用 PlanAhead 工具提高工作效率

屡获殊荣的 ISE 设计套件可为设计人员提供所需的工具，并帮助他们促进全球设计团队协同设计，快速获得关键设计考虑事项的反馈，掌握 XPower 评估工具实现低功耗优化的最佳实践方法，通过智能时钟门控技术降低动态功耗。所有这些都能通过 PlanAhead 工具实现。

PlanAhead 工具已由业界一流的 I/O 引脚规划器和布局规划器演进为一种可加速投产的综合开发环境，其独特的前端到后端综合环境，可对 RTL 开发、IP 集成、验证、综合、布局布线等每个设计阶段进行设计分析。最终实现功耗、资源利用和性能的快速整合，并减少耗时的设计迭代次数。

赛灵思软件和工具高级市场营销总监 Tom Feist 表示：“PlanAhead 的一大优势在于将创新设计、分析、规划和实现紧密结合在一起，显著提高了设计效率。就传统 FPGA 流程而言，有关关键设计参数的反馈只有在设计流程末期才能获得。而赛灵思将继续高度关注综合和布局布线的运行时间问题，同时我们也认识到减少设计迭代次数同样是加速开发进程的关键所在。确保每次运行时序一致性的预先设计分析和设计保存流程对于我们新型 7 系列器件的客户来说至关重要。”

PlanAhead 工具的增强功能包括新型时钟域互动报告、提示信息语言的本地化以及针对 7 系列倒装片 BGA (FFG) 封装的同步转换输出 (SSO) 支持。升级后的 XPower (XPE) 评估工具使设计人员能够高度准确地预测功耗，赛灵思与TSMC合作开发的高介电层金属闸(HKMG) 高性能低功耗工艺技术与全系列产品所采用的统一 FPGA 架构相结合，实现了同类最低的FPGA功耗，满足典型的设计需求。了解有关赛灵思低功耗优势的更多信息，敬请访问：www.xilinx.com/cn/power。