

一种基于 Verilog 的 FPGA 分频设计

郭振铎,刘洲峰,徐庆伟,朱永胜

(中原工学院,河南 郑州 450007)

摘要: 给出了一种基于 FPGA 的分频电路的设计方法。根据 FPGA 器件的特点和应用范围,提出了基于 Verilog 的分频方法。该方法对于在 FPGA 硬件平台上设计常用的任意偶数分频、奇数分频、半整数分频和任意整数带小数分频提供了一种思路。在 QuartusII 软件上的仿真结果表明,本文给出的分频方法简单实用,效果良好。

关键词: FPGA; 计数; 分频; Verilog

中图分类号: TP332.12 **文献标识码:** A

doi:10.3969/j.issn.1006-3269.2010.03.013

FPGA(Field Programmable Gate Array)即现场可编程门阵列,它是在 PAL、GAL 等可编程器件的基础上进一步发展的产物^[1,2]。它是作为专用集成电路(ASIC)领域中的一种半定制电路而出现的,既解决了定制电路的不足,又克服了原有可编程器件门电路数有限的缺点。FPGA 的使用非常灵活,同一片 FPGA 通过不同的编程数据可以产生不同的电路功能。FPGA 在通信、数据处理、网络、仪器、工业控制、军事和航空航天等众多领域得到了广泛应用。在现代电子系统中,数字系统所占的比例越来越大。系统发展的趋势是数字化和集成化,而 FPGA 作为可编程 ASIC(专用集成电路)器件,在数字逻辑系统中发挥越来越重要的作用。分频器是数字系统设计中的基本电路,根据不同设计的需要,我们会遇到偶数分频、奇数分频、半整数分频等,有时要求等分占空比,有时要求非等分占空比^[3]。在用 FPGA 进行实现时,尽管在目前大部分设计中,广泛

使用芯片厂家集成的锁相环资源,如 altera 的 PLL, Xilinx 的 DLL 来进行时钟的分频,倍频以及相移。但是 FPGA 内部的 PLL 资源一般有限,对于时钟要求不高的基本设计,如果采用 Verilog 语言编程来实现,既可节省芯片内部的锁相环资源,又可实现消耗较少逻辑单元就达到对时钟操作的目的。Verilog 是一种允许设计者进行各种级别的逻辑设计,进行数字逻辑系统的仿真验证、时序分析、逻辑综合的硬件描述语言,易于理解,便于实现^[4-6]。

1 偶数倍分频

偶数倍分频是数字电路设计中最常用的分频之一,如进行 N 倍偶数分频,则可以通过由待分频的时钟触发计数器计数,当计数器从 0 计数到 $N/2-1$ 时,输出时钟进行翻转,并给计数器一个复位信号,使得下一个时钟从零开始计数。以此循环下去。这种方法可以实现任意的偶数分频。下面为 10 分频的 Verilog 实现代码。

```
module ten_fp_2(clk,clk_fp)
input clk;//输入原始时钟
output clk_fp;//分频所要得到的时钟信号
reg cp;
reg[2:0] n;//定义计数器所需的寄存器
assign clk_fp=cp;
always @(posedge clk)
begin
//进行计数
if (n<3'd4)
n<=n+1;
else
```

收稿日期:2010-06-24

作者简介:郭振铎(1982-),男,河南泌阳人,硕士,主要研究方向为智能信息与处理。

```
begin
n<=0;
cp<=~cp;
end
```

```
end
endmodule
```

波形的仿真结果如图 1 所示。

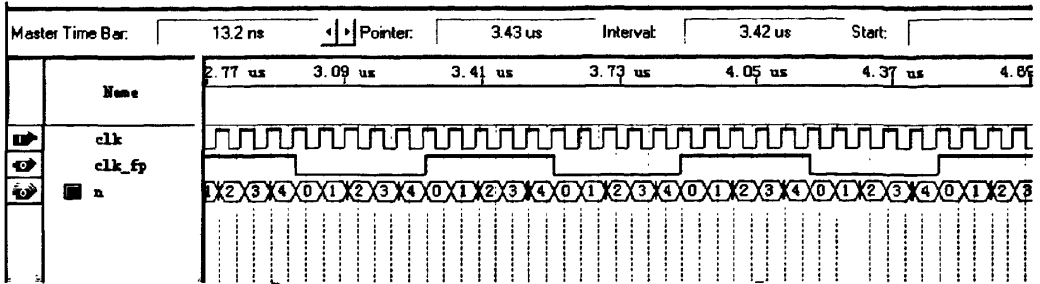


图 1 占空比为 50% 的 10 分频仿真波形

由图 1 中 clk 与 clk_fp 的仿真波形可以看出, clk_fp 会在 clk 每隔 5 个周期处产生一次翻转, 从而实现分频系数为 10 的整数倍分频器。

2 奇数倍分频

奇数倍分频有 2 种实现方法。首先, 完全可以通过计数器来实现, 如进行三分频, 通过待分频时钟上升沿触发计数器进行模三计数, 当计数器计数到邻近值进行 2 次翻转, 比如可以在计数器计数到 1 时, 输出时钟进行翻转, 计数到 2 时再次进行翻转。即在计数值在邻近的 1 和 2 进行了 2 次翻转。这样实现的三分频占空比为 1/3 或者 2/3。如果要想实现占空比为 50% 的三分频时钟, 可以通过待分频时钟下降沿触发计数, 和上升沿同样的方法计数进行三分频, 然后下降沿产生的三分频时钟和上升沿产生的时钟进行相或运算, 即可得到占空比为 50% 的三分频时钟。这种方法可以实现任意的奇数分频。归类为一般的方法为: 对于实现占空比为 50% 的 N 倍奇数分频, 首先进行上升沿触发进行模 N 计数, 计数选定到某一个值进行输出时钟翻转, 然后经过 $(N-1)/2$ 再次进行翻转得到一个占空比非 50% 奇数 n 分频时钟。再者同时进行下降沿触发的模 N 计数, 到和上升沿触发输出时钟翻转选定值相同值时, 进行输出时钟翻转, 同样经过 $(N-1)/2$ 时, 输出时钟再次翻转生成占空比非 50% 的奇数 n 分频时钟。两个占空比非 50% 的 n 分频时钟相或运算, 得到占空比为 50% 的奇数 n 分频时钟。另外一种方法: 对

进行奇数倍 n 分频时钟, 首先进行 $n/2$ 分频 (带小数, 即等于 $(n-1)/2+0.5$), 然后再进行二分频得到。得到占空比为 50% 的奇数倍分频。下面是用第一种方法实现任意奇数分频的 Verilog 代码的实现。

```
module jishu_fenpin(clk, rst, count1, count2,
clk_even);
input clk, rst;
output[3: 0] count1, count2;
output clk_even;
reg[3: 0] count1, count2;
reg clkA, clkB;
wire clk_even;
parameter N = anyodd;
assign clk_re = ~clk;
assign clk_even = clkA | clkB
always @(posedge clk)
if(! rst)
begin
count1 <= 1'b0;
clkA <= 1'b0;
end
else
if(count1 < (N - 1))
begin
count1 <= count1 + 1'b1;
if(count1 == (N - 1)/2)
```

```

begin
    clkA <= ~clkA;
end
else
begin
    clkA <= ~clkA;
    count1 <= 1'b0;
end
always @(posedge clk_re)
if(!rst)
begin
    count2 <= 1'b0;
    clkB <= 1'b0;
end
else
if(count2 < (N - 1))
begin
    count2 <= count2 + 1'b1;
    if(count2 == (N - 1)/2)
begin
    clkB <= ~clkB;
end
end
else
begin
    clkB <= ~clkB;
    count2 <= 1'b0;
end
endmodule

```

3 半整数分频

对于实现 $n+0.5$ 的半整数分频一般需要对输入时钟进行操作。其基本的设计思想首先进行模 n 的计数,在计数到 $n-1$ 时,输出时钟赋为‘1’,回到计数 0 时,又赋为 0,因此,可以知道,当计数值为 $n-1$ 时,输出时钟才为 1,因此,只要保持计数值 $n-1$ 为半个输入时钟周期,即实现了 $n+0.5$ 分频时钟,因此保持 $n-1$ 为半个时钟周期即是一个难点。从中可以发现,因为计数器是通过时钟上升沿计数,因此可以在计数为 $n-1$ 时对计数触发时钟进行翻转,此时时钟的下降沿变成了上升沿。即在计数值为 n

-1 期间的时钟下降沿变成了上升沿,则计数值 $n-1$ 只保持了半个时钟周期,由于时钟翻转下降沿变成上升沿,因此计数值变为 0。因此,每产生一个 $n+0.5$ 分频时钟的周期,触发时钟都要翻转一次。设计原理如图 2 所示。

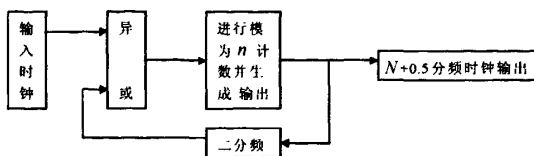


图 2 半整数分频的原理框图

由上述原理图可知,触发时钟的翻转通过 $n+0.5$ 分频信号的二分频,然后与输入时钟相或运算即可,如图 2 所示。这里以 5.5 分频为例给出实现代码。

```

Module odd_dispart(rst_n,clk,clkout);
input rst_n,clk;
output clkout;
reg clkout,clk_2;
wire clkin;
assign clkin = clk^clk_2;
always @(posedge clkin)
if(!rst_n)
begin
    cnt <= 0;
    clkout <= 0;
end
else
begin
    if(cnt == 5)
    cnt <= 0;
    else
    cnt <= cnt + 1;
    if(cnt == 3'd0 || cnt == 3'd1)
    clkout <= ~clkout;
end
always @(posedge clkout)
    clk_2 <= ~clk_2;
endmodule

```

4 任意整数带小数的分频

这种分频一般来说,可以通过不同分频进行组合实现。比如实现 $6+1/3$ 分频,可以通过 2 个七分频脉冲加上 1 个五分频脉冲实现一个该分频设计,即 $(2 * 7 + 5) / (2 + 1)$ 实现分频,一般而言,这种分频由于分频输出的时钟脉冲抖动很大,在设计中使用已经非常少。但是也是可以实现的。

5 结束语

对数字电路设计中常用的偶数分频、计数分频和小数分频给出了一种思路。它节省了 FPGA 的 PLL 资源,设计方法简单方便、可移植性强。因此,可广泛应用于 FPGA 时钟电路设计中。

参考文献:

- [1] 邓玉元,吴 琼. 数字电路中占空比分频器的实现[J]. 现代电子技术,2006,(2)4:25-26.
- [2] 潘 松,黄继业. EDA 技术实用教程[M]. 北京:科学出版社,2006.
- [3] 林海波. 基于 VHDL 的半整数分频器的设计[J]. 电子与封装,2005,(29),38-40.
- [4] 李海江,刘 方. 基于 Verilog HDL 的 DDS 任意波形发生器设计

计[J]. 仪器仪表用户,2009,(4),55-57.

- [5] 王春旭,周晓平,王黎黎. 基于 FPGA 的 verilog HDL 语言设计优化[J]. 电子器件应用,2008,(11):45-47.
- [6] 郑汉尚. 基于 Verilog-HDL 的现代数字系统设计[J]. 中国新技术新产品,2008,(1):24.

An FPGA Frequency Division Design Based on Verilog

GUO Zhen-duo, LIU Zhou-feng,
XU Qing-wei, ZHU Yong-sheng
(Zhongyuan University of Technology,
Zhengzhou 450007, China)

Abstract: An frequency division method based on FPGA is presented in this paper. The frequency division is introduced according to the feature and main application of FPGA. The method based on Verilog is a good way to even, odd and decimal frequency division. The simulation result based on Quartus II shows that this method is several simple and practical experiences.

Key words: FPGA; count; frequency division; Verilog

(上接第 32 页)

The Research and Analysis of Structure of Couple Body to Protect the Driver and Passengers

HU Qun-lin, XIONG Hui, WANG Qin-xin
(Chery Automobile Co. Ltd, Wuhu 241009, China)

Abstract: The paper based on the NCAP (New Car Assessment Program) and combined with Kinetic theory, think of four major factors of body invasion, average impact velocity, impact force and moment of T12 chest, impact force of pelvis, through the test and analysis, the key institutions in the design of couple body car to protect the driver and passengers are obtained.

Key words: Euro-NCAP; protection of driver and passengers; side crash; coupe body