

# 基于 FPGA 的小数分频实现方法 \*

袁泉, 陈晓龙, 王家礼

(西安电子科技大学 机电工程学院, 陕西 西安 710071)

**摘要:** 提出了一种基于 FPGA 的小数分频实现方法。介绍了现有分频方法的局限性, 提出一种新的基于两级计数器的分频实现方法, 给出该方法的设计原理以及实现框图, 利用软件对电路进行仿真, 由仿真结果可以看出该方法可有效实现输入信号频率的小数调整, 最后分析了方法的优缺点及其应用领域。实验结果表明, 设计方法能够高精度地完成对信号频率的微调, 并且频率转换时间被缩短到 2.56 μs。

**关键词:** FPGA; 小数分频; 信号频率的微调

中图分类号: TN772

文献标识码: A

文章编号: 0258-7998(2010)10-0099-03

## Method for realizing the decimal frequency divider based on FPGA

YUAN Quan, CHEN Xiao Long, WANG Jia Li

(College of Mechanism and Electronics, Xidian University, Xi'an 710071, China)

**Abstract:** This paper presents a method for realizing the decimal frequency divider based on FPGA, introduces the limitation of the current frequency dividing design in brief, and a new method based on two grades' counters for implementing the decimal frequency divider is given. The principle of the design and the block diagram of the realization are also presented in this paper. Through simulated by software, this method is proved to be able to effectively implement the adjustment of the fraction of the input signal frequency. The advantages and disadvantages of this method are analyzed. The results show that this method can complete the slight adjustment of the signal frequency, and the frequency switching time has been reduced to 2.56 μs.

**Key words:** FPGA; the decimal frequency divider; the slight adjustment of the signal frequency

分频器是电子线路设计的重要功能单元, 在通信、雷达、微波、仪器等领域有着重要应用。具体实现形式有偶数分频、奇数分频、锁相环分频电路等, 这种结构的分频器只能实现整数分频, 或者是仅实现半整数分频和奇数分频<sup>[1]</sup>, 一般的锁相环分频电路会有几十微秒级的频率转换时间<sup>[2]</sup>, 虽然现在少数芯片有所改善, 但是时间也较长。同时, 在某些场合下, 所需要的频率与给定的频率并不成整数或半整数倍关系, 或需要实现对输入信号频率的微调整, 此时可采用小数分频器进行分频<sup>[3]</sup>。

本文提出了一种基于 FPGA 的小数分频实现方法, 给出该方法的设计原理以及实现框图, 使用 VHDL 硬件描述语言和原理图混合输入的设计方式<sup>[4]</sup>, 通过 Quartus II 开发软件, 在 Altera 公司的 Stratix II 系列 EP2S15F484C3 型 FPGA 器件平台上对电路进行仿真, 并对仿真结果进行分析, 由仿真结果可以看出该方法可有效实现对输入信

号的 50% 占空比的小数调整, 解决了在一些场合下整数分频对输入频率调整幅度较大, 频率转换时间较长的问题<sup>[6]</sup>。

### 1 设计方案及其原理

该方法是通过两级计数电路来实现小数分频的, 第一级利用输入信号对系统时钟计数, 并对计数结果进行修正; 第二级利用修正后的结果通过定时操作产生频率调整后的输出信号。电路图的组成如图 1 所示。

以输入信号的脉宽作为闸值, 计数器 1 在系统时钟的控制下进行加计数, 设此计数结果为  $n$ 。为实现对输入信号频率的调整, 通过给  $n$  加上一个调整值  $N$  来实现对计数结果的调整, 调整后的结果存于寄存器 3, 同时计数器 1 复位并等待进入下一轮操作。计数器 2 在同一系统时钟控制下对寄存器 3 的值减计数。当计数器 2 减到 0 时产生下溢信号, 如此重复, 计数器 2 将产生频率调整后的非对称方波, 最后利用模一计数器将其调整为占空比

\* 基金项目: 中央高校基本科研业务费专项资金资助(JY10000904015)

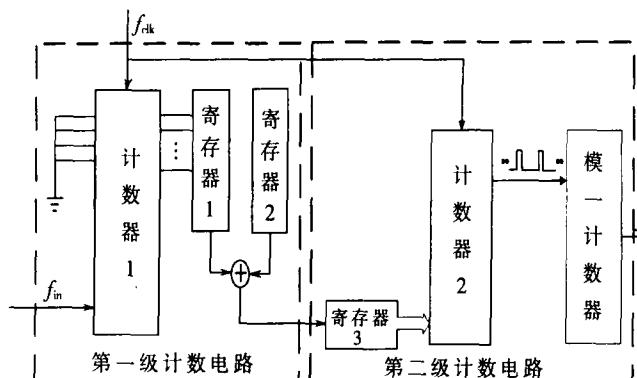


图 1 电路原理图

为 50% 的时钟信号。上述方法中,  $N$  的值决定了输出信号与输入信号间的频率关系, 通过对  $N$  的设置来改变该方法的分频倍数。

在具体实现时, 为了避免计数器 2 置入的数据发生冲突,  $n$  的修正值先存放在寄存器 3 中, 这样, 每当计数器 2 减到 0 时, 再置入  $n$  的修正值, 则可以避免第二级计数器没有输出信号的问题。

如图 1 中, 设输入信号的频率为  $f_{in}$ , 输出信号的频率为  $f_{out}$ , 系统时钟的频率为  $f_{dk}$ ,  $N$  表示一个给定的调整参数,  $n$  表示计数器 1 所计得的数, 则其分频比  $K$  为:

$$K = \frac{f_{in}}{f_{out}} = \frac{n+N}{n} = 1 + \frac{N}{n} \quad (1)$$

其中,  $n = \frac{f_{dk}}{f_{in}}$ 。

### 1.1 频率调整的步长

本设计中,  $N$  取整数, 输出信号的频率相对于输入信号频率的最小可调整变化量为  $\Delta f$ , 整个电路是在同一时钟下工作, 设  $f_{dk}=100\text{MHz}$ 。

$$\Delta f = |f_{in} - f_{out}| = \left| 1 - \frac{1}{K} \right| \times f_{in} \quad (2)$$

由式(2)可知, 调整步长  $\Delta f$  的值与  $N$ 、 $n$  的值有关。

### 1.2 小数分频参数的取值范围

使用本设计方法对输入信号的频率进行小数量级的分频, 要得到有效、可靠的结果, 调整参数  $N$  只在一定范围内取值。

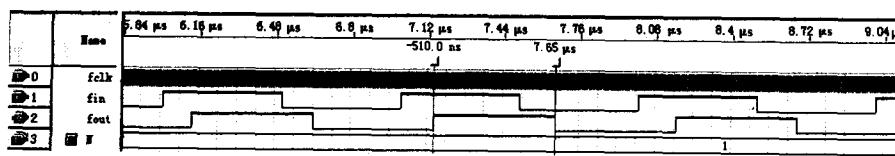
由式(1)可知: 由于输出信号频率  $K>0$ , 故  $N>-n$ 。

## 2 仿真结果及分析

### 2.1 电路功能的仿真及分析

理论上, 当  $f_{in}=1\text{MHz}$ 、 $N=1$  时,  $n=100$ ,  $K=1.01$ ,  $f_{out} \approx 0.9901\text{MHz}$ 。

以上述参数对电路进行仿真, 仿真结果如图 2 所示。

图 2  $N=1$  仿真波形

从仿真波形中计算可得到:

$$T_{out} = 510 \times 2 = 1020\text{ns}$$

$$\Rightarrow f_{out} = \frac{1}{1020} = \frac{1}{1.02}\text{MHz} \approx 0.9804\text{MHz}$$

$$\Delta f = |f_{out} - f_{in}| \approx |0.98 - 1|\text{MHz} = 0.02\text{MHz}$$

本例仿真说明电路实现了对输入信号的频率的微调, 设  $\varepsilon$  为调整误差, 则  $\varepsilon \approx 0.0097\text{MHz}$ 。  
 $N$  在有效范围内变化, 使用上述参数对电路进行仿真得到表 1 所示仿真结果。

表 1 仿真结果

$N$	-41	-42	-43	-44	-45	-46	-47	-48	-49	-50
$f_{out}(\text{MHz})$	5.5556	6.25	7.1429	8.3333	10	12.5	16.667	25	50	—
$N$	-31	-32	-33	-34	-35	-36	-37	-38	-39	-40
$f_{out}(\text{MHz})$	2.6316	2.7778	2.9412	3.125	3.3333	3.5714	3.8462	4.1667	4.5455	5
$N$	-21	-22	-23	-24	-25	-26	-27	-28	-29	-30
$f_{out}(\text{MHz})$	1.7241	1.7857	1.8519	1.9231	2	2.0833	2.174	2.2727	2.381	2.5
$N$	-11	-12	-13	-14	-15	-16	-17	-18	-19	-20
$f_{out}(\text{MHz})$	1.2821	1.3158	1.3514	1.3889	1.4286	1.4706	1.5152	1.5625	1.6129	1.6667
$N$	-1	-2	-3	-4	-5	-6	-7	-8	-9	-10
$f_{out}(\text{MHz})$	1.0204	1.4167	1.0638	1.0869	1.1111	1.1364	1.1628	1.1905	1.2195	1.25
$N$	0	1	2	3	4	5	6	7	8	9
$f_{out}(\text{MHz})$	1	0.9804	0.9615	0.9434	0.9259	0.9091	0.8929	0.8772	0.8621	0.8475
$N$	10	11	12	13	14	15	16	17	18	19
$f_{out}(\text{MHz})$	0.8333	0.8197	0.8065	0.7937	0.7813	0.7692	0.7576	0.7463	0.7353	0.7246
$N$	20	21	22	23	24	25	26	27	28	29
$f_{out}(\text{MHz})$	0.7143	0.7043	0.6944	0.6849	0.6757	0.6667	0.6579	0.6494	0.641	0.6329
$N$	30	31	32	33	34	35	36	37	38	39
$f_{out}(\text{MHz})$	0.625	0.6173	0.6098	0.6024	0.5952	0.5882	0.5814	0.5747	0.5682	0.5618
$N$	40	41	42	43	44	45	46	47	48	49
$f_{out}(\text{MHz})$	0.5556	0.5495	0.5435	0.5376	0.5319	0.5263	0.5208	0.5155	0.5102	0.5051
$N$	50	51	52	53	54	55	56	57	58	59
$f_{out}(\text{MHz})$	0.5	0.495	0.4902	0.4854	0.4808	0.4762	0.4717	0.4673	0.463	0.4587

由表 1 可知, 当输入频率  $f_{in}$  不变时有:

(1) 当  $-n < N < 0$  时, 如果  $N$  增大, 则分频比  $K$  增大, 调整步长  $\Delta f$  减小, 调整误差  $\varepsilon$  减小; 否则, 分频比  $K$  减小, 调整步长  $\Delta f$  增大, 调整误差  $\varepsilon$  增大。

(2) 当  $N=0$  时, 分频比  $K=1$ , 输入等于输出。

(3) 当  $N>0$  时, 如果  $N$  增大, 则分频比  $K$  增大, 调整步长  $\Delta f$  增大, 调整误差  $\varepsilon$  增大; 否则, 分频比  $K$  减小, 调整步长  $\Delta f$  减小, 调整误差  $\varepsilon$  减小。

根据实际应用的需要, 改变  $N$  的值来达到所需的调整步长  $\Delta f$ , 根据  $\Delta f$  来得到频率微调信号。

### 2.2 电路功能的应用及分析

实际应用中主要的情况是给定输入信号和调整要求, 确定  $N$  值并分析调整结果。

假设输入频率  $f_{in}=2\text{MHz}$ , 所需的频率为  $1.92\text{MHz}$ , 由式(1)得:  $n=50$ ,  $N \approx 2$ , 理论上输出频率  $f_{out} \approx 1.9231\text{MHz}$ , 分频比  $K_1=1.04$ , 则相应的仿真结果如图 3 所示。

由图 3 知: 实际输出频率  $f_{out} \approx 1.8519\text{MHz}$ , 则调整步长  $\Delta f_1 \approx 0.148$

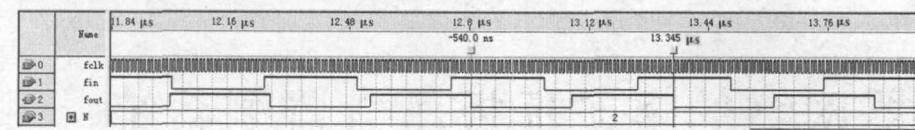


图 3 计数值改变后的波形

1 MHz, 实际输出相对于输入的频率调整误差  $\varepsilon_1 \approx 0.0712$  MHz。这时, 实际输出频率相对于实际要求的频率调整误差  $\varepsilon_1' \approx 0.0681$  MHz。

对电路进行调整, 把  $N$  减小一个单位, 即:  $N=1$ , 由式(1)得分频比  $K_2=1.02$ , 电路的仿真结果如图 4 所示。

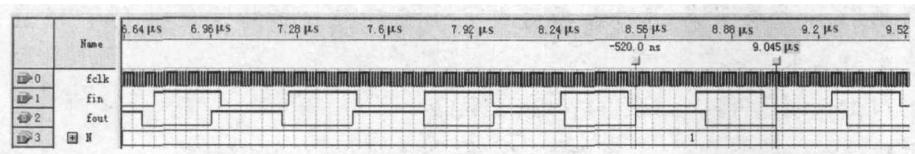


图 4 对输出结果的微调

由图 4 知, 实际输出频率  $f_{out} \approx 1.9230$  MHz, 理论计算得到输出频率  $f_{out} \approx 1.9608$  MHz, 则调整步长  $\Delta f_2 \approx 0.0770$  MHz, 实际输出频率相对于输入的频率调整误差  $\varepsilon_2 \approx 0.0378$  MHz。这时, 实际输出频率相对于实际要求的频率调整误差  $\varepsilon_2' \approx 0.0030$  MHz。

本例中,  $N=0$ , 调整规律符合表 1 中的叙述, 即:  $N$  减小, 则  $\Delta f_1 > \Delta f_2$ ,  $\varepsilon_1 > \varepsilon_2$ ,  $K_1 > K_2$ ; 同时,  $\varepsilon_1' > \varepsilon_2'$ , 通过对参数的调整, 输出频率更加逼近所需频率。

文中提出了两级计数电路来实现小数分频的方法, 并对结果进行仿真和分析, 该方法可以实现分频比为任意小数的小数分频, 或者可高精度地完成对输入信号频率的微调, 实现结果表明了本设计可以使频率转换时间被缩短到 2.56 μs, 随着分频步长的提高, 频率调整误差  $\varepsilon$  会增加, 但是误差比较小, 这一优点应用在 IEEE1588 中,

(上接第 98 页)

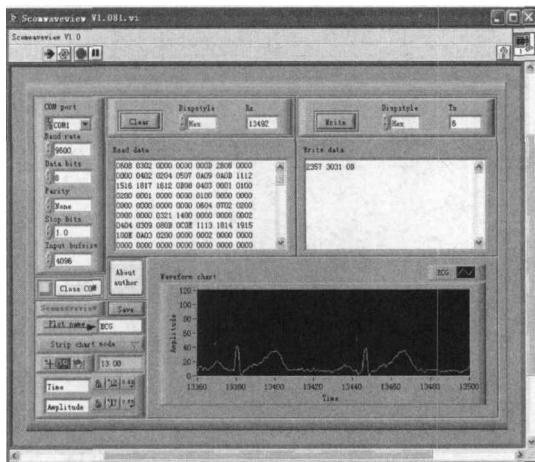


图 12 上位机监测软件测试得到的心电数据及波形

集监测提供借鉴和参考, 但仍存在诸多不足之处, 比如优化硬件设计电路以改善波形, 提高波形质量; 上位机软件加入数字滤波功能, 以及能够进行心电波形的特征

《电子技术应用》2010年第36卷第11期

可有效地实现 LXI 的主从设备的时钟同步<sup>[5]</sup>, 这是本设计方案的典型应用。但是, 当系统的时钟频率与输入频率的比值  $n$  不是整数时, 频率调整误差  $\varepsilon$  较大, 这是本方案的使用局限性。

## 参考文献

- [1] 许德成.任意数分频设计方法[J].科技广场,2007,13(6):219.
- [2] 王芳, 阎永红.小数分频与快锁芯片 ADF4193 的原理与应用[J].新特器件应用,2008,10(5): 1-3.
- [3] 刘亚海, 林争辉.基于 FPGA 的小数分频器的实现[J].现代电子技术,2005,28(3):113-114.
- [4] 古良玲, 杨永明, 郭巧惠.基于 FPGA 的半整数及整数分频器的参数化设计[J].电子器件,2005,28(2):404-406.
- [5] 王刚, 乔纯捷, 王跃科.基于时钟同步的分布式实时系统监控[J].电子测量与仪器学报,2010,24(3):274-278.
- [6] TIAN Hong Li, SHI Shuo, ZHANG Jun, et al. Controllable arbitrary integer frequency divider based on VHDL[J]. IEEE Xplore, 2009, 62(10):691-694.

(收稿日期: 2010-05-29)

## 作者简介:

袁泉,女,1985年生,硕士研究生,主要研究方向:故障诊断与预测。

陈晓龙,男,1976年生,教授,主要研究方向:智能仪器与测控技术、信号分析与处理及 DSP 应用技术。

王家礼,男,1942年生,教授,博士生导师,主要研究方向:微波、毫米波测试的研究。

分析等等。这都需要在后续工作中进一步研究。

## 参考文献

- [1] SIAU Keng. Health care informatics[J]. IEEE Transactions on Information Technology in Biomedicine, 2003(7):1-7.
- [2] 吴水才,林家瑞,邓云东.一种心电和心室晚电位综合采集电路的设计[J].中国医疗器械杂志,2000,24(1):20-22.
- [3] 沈志刚.基于 DSP 的动态心电监护仪的研制[D].哈尔滨:哈尔滨工业大学, 2002.
- [4] 李文仲,段朝玉.短距离无线数据通信入门与实践[M].北京:北京航空航天大学出版社,2006.
- [5] 迅通科技.nRF9E5 中文数据手册[Z].迅通电子科技有限公司,2006.

(收稿日期: 2010-06-24)

## 作者简介:

王智洁,女,1986年生,硕士研究生,主要研究方向:嵌入式设计、微弱信号处理。