

基于FPGA的高速A/D转换芯片ADC08D1000应用

马爽,徐欣

(国防科学技术大学 湖南长沙 410073)

摘要: 提出用超高速A/D转换芯片ADC08D1000作为系统前端采样电路的方法,以解决工程中严重系统性能的采样速率和采样精度问题。详细介绍ADC08D1000的原理与功能,用VHDL语言编写普通模式和扩展模式下的控制程序。针对工程中的实际情况进行优化设计,用延迟初始化、自校准等方法解决了发热、周围环境变化对芯片的影响等问题。该程序结构清晰,参数修改方便,具有一定的通用性。最后给出此芯片工程实践中的采样结果。ADC08D1000性能出色,能满足最高频率1GHz以下大多数信号的采样要求,在工程实践中已经得到使用,并取得了良好的效果。

关键词: 模/数转换;ADC08D1000芯片;超高速采样;FPGA芯片;VHDL语言

中图分类号:T P274

文献标识码:B

文章编号:1004-373X(2009)14-044-04

Application of High Speed A/D Converter ADC08D1000 Baesd on FPGA

MA Shuang, XU Xin

(National University of Defense Technology, Changsha, 410073, China)

Abstract: A method of applying high speed A/D converter ADC8D1000 for sampling circuits which usually lie in the front end of systems, so as to improve the rates and precision of sampling which heavily influence the system's whole performance. The architecture and functions of ADC08D1000 are described in details. Controlling programs in both normal and extend mode of the chip with VHDL language are presented. The programs are optimized with consideration of the change of temperature and enveriment by way of delay initialization and self calibration, and they are designed in particular so that the parameters can be modified conveniently. It can be used as a general component in other designs. At last, a result of sampling with the converter is offered. ADC8D1000 has an impressive performance, and can satisfy most of the cases needing sampling rates below 1 GHz. In engineering pratice, this design has been used and has performed well.

Keywords A/D conversion; ADC08D1000; ultra-high speed sample; FPGA; VHDL language

0 引言

美国国家半导体公司的超高速ADG-ADC08D1000是一款高性能的模/数转换芯片。它具有双通道结构,每个通道的最大采样率可达到1.6GHz,并能达到8位的分辨率;采用双通道“互插”模式时,采样速率可达2GSPS;采用128脚LQFP封装,1.9V单电源供电;具有自校准功能,可通过普通方式或扩展方式对其进行控制;可工作在SDR,DDR等多种模式下。下面对该芯片进行详细介绍。

1 ADC08D1000的结构和管脚说明

1.1 ADC08D1000的结构

ADC08D1000的结构如图1所示,主通道由输入多路模拟开关、采样保持电路、8位ADC和1:2分离器/锁存器组成。它共有两路相同的通道。控制逻辑由普

通方式或扩展方式进行配置,对整个芯片进行控制。

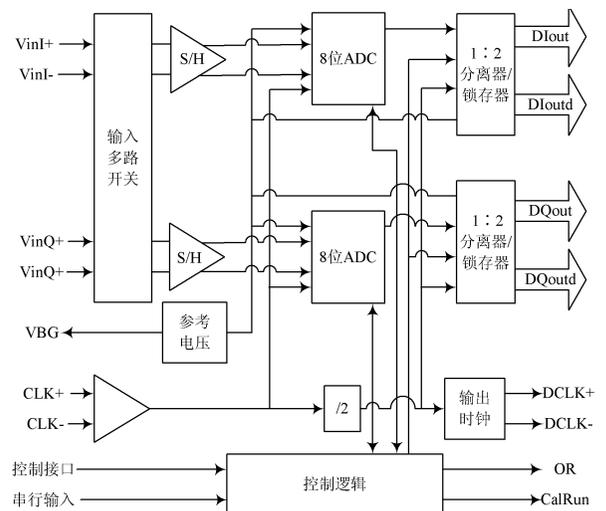


图1 ADC08D1000功能框图

1.2 ADC08D1000的管脚说明

ADC08D500采用128脚LQFP封装,管脚图

见图 2。

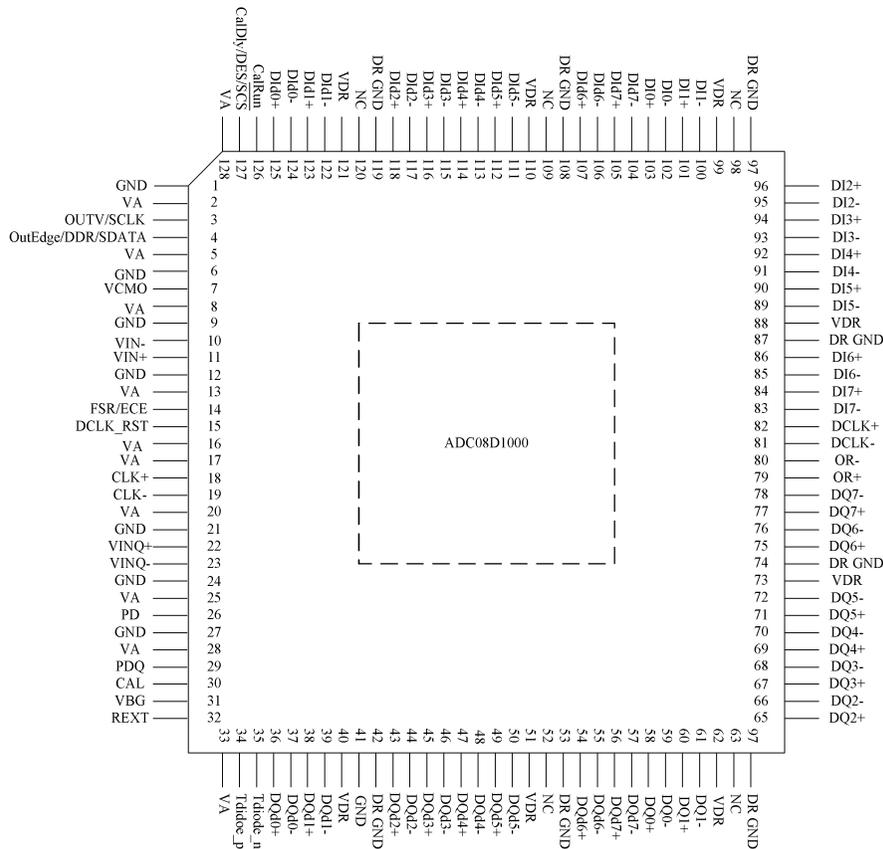


图 2 ADC08D1000 管脚图

其关键管脚说明如下:

(1) OUTV/SCLK: 输出电压幅度/ 串行接口时钟。高电平时, DCLK 和数据信号为普通差分幅度; 接地时, 差分幅度会降低, 从而减少功耗。当扩展控制模式开启时, 此脚为串行时钟脚。

(2) OUTEDGE/DDR/SDATA: DCLK 时钟沿选择/DDR 功能选择/ 串行数据输入。当此脚连接到 1/2 VA 或者悬空时, 进入 DDR 模式。扩展控制模式时, 这个脚作为 SDATA 输入。

(3) DCLK_RST: DCLK 的复位。一个正脉冲可以复位和同步多片 ADC 中的 DCLK 输出。

(4) PD/PDQ: 低功耗模式管脚。逻辑高电平加在此脚会使芯片进入休眠状态, 当逻辑高电平加在 PDQ 上只会使 Q 通道 ADC 进入休眠状态。

(5) CAL: 校准过程初始化引脚。

(6) FSR/ECE: 全量程选择以及扩展控制模式选择, 在非扩展控制模式, 逻辑低电平会把全量程差分输入范围(峰峰值) 设置为 650 mV; 逻辑高电平会把全量程差分输入范围(峰峰值) 设置为 870 mV。当此脚连接到 1/2VA 或者悬空时, 进入扩展控制模式。

(7) CLK+ /CLK- : ADC 的 LVDS 时钟输入。这个差分时钟信号必须是交流耦合的。输入信号将在

CLK+ 的下降沿被采样。

(8) VINI+ / VINI- / VINQ+ / VINQ- : ADC 的模拟输入脚。

(9) CalRun: 校准运行指示。高电平有效。

(10) DI/DQ/DId/DQd: I 通道和 Q 通道的 LVDS 数据输出。

(11) OR+ /OR- : 输入溢出指示。

(12) DCLK+ /DCLK- : 差分时钟输出, 用于将输出数据锁存。延迟和非延迟输出数据与此信号同步。当工作在 SDR 模式时, 这个信号的速率为 1/2 输入时钟速率; 当工作在 DDR 模式时, 这个信号为 1/4 输入时钟速率。

2 ADC08D1000 的功能描述

2.1 自校准

自校准在上电后运行, 也可以由用户引发。在量程转换或温度有较大变化时需要运行自校准, 建议在上电 20 s 后进行。在休眠模式时, 不能进行自校准。

正常操作下, 上电或用户触发都能引发自校准。用户触发时, 使 CAL 为至少 10 个周期的低电平加上至少 10 个周期高电平, 自校准的运行时间大概为 140 000 个时钟周期, 注意在上电时保持 CAL 为高可以阻止自校准的发生。自校准运行时, CALRUN 为高。自校准时, CALDLY 不能悬空。

2.2 采样

数据在 CLK+ 的下降沿被采得, 13 个周期后在 DI/DQ 得到, 14 个周期后在 DId/DQd 得到, 还要加上一个小的延时, 只要 CLK 给出, 就开始采样。

2.3 控制模式

一些基本的控制都能通过普通模式来设置, 比如自校准、休眠模式和量程设置等。ADC08D500 还提供扩展控制模式, 借助串行接口来配置芯片内部的寄存器, 扩展控制模式不能动态地选择。使用扩展模式时, 引脚控制被忽略。控制模式通过 14 脚(ECE) 来选择。

2.4 时钟

CLK 必须为交流耦合的差分时钟。DCLK 用来送给外部器件来锁存数据, 可以选择采样方式(SDS/DES) 和数据输出方式(SDR/DDR)。

(1) DES 双边沿采样。双边沿采样时, 用双通道对

同一个输入信号采样,一个在上升沿采样,另一个在下降沿采样,因此相当于两倍的采样率。在这种模式下,输出的并行4B数据,按时间先后顺序为DQd,DI,DI,DI。普通控制模式时,只能对I路进行双边沿采样,扩展控制模式时,可以选择I路或Q路。

(2) 输出边沿设置。在SDR模式下,通过设置OutEdge(Pin14)来选择输出数据在上升沿还是下降沿锁存,高电平为上升沿,低电平为下降沿。

(3) DDR。可以通过对4脚进行设置来选择输出方式,高电平为SDR上边沿锁存,低电平为SDR下边沿锁存,悬空为DDR。SDR时DCLK频率与数据输出率一致,DDR时DCLK频率为数据输出率的一半。

3 ADC08D1000 的控制

3.1 普通控制

普通控制方式主要是对对应管脚的电平设置,主要有CAL, CALDLY, FSR, OUTEDGE, OUTV, PD和PDQ等方式。以双边沿采样、650mV(峰峰值)、低边沿SDR非低功耗模式为例,用VHDL语言对其进行配置。为了保证采样精度,考虑到实际应用中的发热及环境变化等因素,采用初始化延时的方法,利用芯片本身的自校准功能予以解决,普通模式下的程序如下:

```

process( clk, reset)
begin
if reset= '1' then
power_on<= '1';           // 未上电
cal<= '1';                // 自校准初始化
caldly<= '0';             // 自校准延迟初始化
dclk_rst<= '0';           // DCLK 输出同步
fsr<= '0';                // 量程为 650 mV
outedge<= '0';            // DCLK 低边沿同步 SDR 模式
outv<= '1';               // 普通 dclk 电平
pd<= '0';                 // 非低功耗模式
pdq<= '0';
elseif clk event and clk='1' then
-- init_counte 为初始化时钟
if init_counter= 20000000 then
power_on<= '0';           // 芯片上电
elseif init_counter= 60000000 then
caldly<= '1';             // 选择 DES 模式
elseif init_counter= 100000000 then
cal<= '0';                // 自校准开始
elseif init_counter= 1002000000 then
cal<= '1';
elseif init_counter> 1500000200 then
if calrun='0' then
demrst<= '0';            // 运行不正常,复位
end if;
end if;
end if;
end process;
    
```

3.2 扩展控制

3.2.1 控制字格式

当FSR/ECE脚连接到1/2VA或者悬空时,进入扩展控制模式。扩展控制接口包括3个管脚:SCLK,

SDATA,SCS,用来配置8个只写寄存器。

SCS:当写一个寄存器时,此脚应置低。

SCLK:最大为100MHz,在上升沿写数据。

SDATA:写每个寄存器需要32位数据,包括头、地址和寄存器值。从最高位开始移入,格式为000000000001(头12位)+4位地址+16位数据。地址和值的含义请见寄存器描述部分。写各寄存器时不用间断,可以在第33个脉冲时继续写下一个寄存器。串行接口时序见图3。

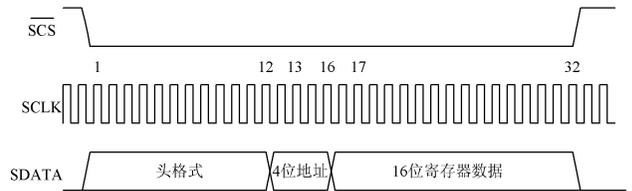


图3 串行接口时序

3.2.2 寄存器描述

用于扩展控制的寄存器共有8个,分别描述如下:

(1) 配置寄存器(地址1h)

位15:必须为“1”。

位14:必须为“0”。

位13:必须为“1”。

位12:DCS,占空比稳定器。当该位置“1”时,一种占空比稳定电路应用到CLK上,使输入时钟更稳定。默认为“1”。

位11:DCP,DDR时钟相位。此位只有在DDR模式下才有效。当本位为“0”时,DCLK的边沿与数据的边沿同相;当本位为“1”时,DCLK的边沿与数据的边沿同差180°(在数据的中间),默认为“0”。

位10:Nde,DDR使能。当此位为“0”时,为DDR模式。此时输出数据在DCLK的上升沿和下降沿输出。当此位为“1”时,为SDR模式,默认为“0”。

位9:OV,输出电压。此位决定LVDS输出电压(峰峰值)的幅度,置“1”时,为600mV,置“0”时,为450mV,默认为“1”。

位8:OE,输出边沿。此位决定在SDR模式下数据的输出边沿。置“1”时,输出数据在DCLK+的上升沿变化;置“0”时,输出数据在DCLK+的下降沿变化;默认为“0”。

位7:0,必须为“1”。

(2) I通道偏置(地址2h)

位15:8,偏置值:I通道的输入偏置值;00h为0偏置,FF为45mV;步进为0.176mV;默认为00h

位7:符号位。“0”为正偏置,“1”为负偏置,默认为“0”。

位 6: 0, 必须为“1”。

(3) I 通道满量程电压调整(地址 3h)

位 15: 7, 满量程电压调整值, 满量程电压随此值(峰峰值)单调线性变化。

0000 0000 0	560 mV
1000 0000 0	700 mV
1111 1111 1	840 mV

默认值为 1000 0000 0;

位 6: 0, 必须为“1”。

(4) Q 通道偏置(地址 Ah)

与 I 通道偏置定义相同。

(5) Q 通道满量程电压调整(地址 Bh)

与 I 通道满量程电压调整定义相同。

(6) DES 使能(地址 Dh)

位 15: DES 使能: 置“1”配置双边沿采样模式。置“0”配置单边沿采样模式。默认为“0”。

位 14: 自动时钟相位控制。置“1”时打开自动时钟相位控制, 此时, DES 粗调和微调失效。一个相位检测电路被用来保证 I 路和 Q 路的采样边沿相差 180°。置“0”时关闭自动时钟相位控制, I 路和 Q 路的采样边沿相位差由 DES 粗调和微调值来设定, 默认为“0”。

位 13: 0, 必须为“1”。

(7) DES 粗调(地址 Eh)

位 15: 输入选择, 置“0”时 I 路用于双边沿采样, 置“1”时 Q 路用于双边沿采样。默认为“0”。

位 14: 调整方向选择, 置“0”时, I 路滞后于 Q 路; 置“1”时, Q 路滞后于 I 路。默认为“0”。

位 13: 11: 粗调幅度, 步进为 20 ps。默认为“000”。

位 10: 0: 必须为“1”。

(8) DES 微调(地址 Fh)

位 15: 7, 微调幅度。步进为 0.1 ps。默认为 00h。

位 6: 0, 必须为“1”。

以双边沿采样、650 mV(峰峰值)、低边沿 SDR 非低功耗模式为例, 用 VHDL 语言配置如下:

```

type reg_addr is array (7 downto 0) of std_logic_vector(3
downto 0);
type reg_value is array (7 downto 0) of std_logic_vector(15
downto 0);
signal addr: reg_addr;
signal value: reg_value;
signal head: std_logic_vector(11 downto 0)
:= "000000000001";
signal cont: integer range 0 to 256;
signal scs: std_logic;
signal shift_data: std_logic_vector(255 downto 0);
// 移位寄存器

begin
process( clk)
begin
if clk' event and clk = '1' then
if load = '0' then

```

-- 定义寄存器地址--

```

addr(0) <= "0001"; addr(1) <= "0010";
addr(2) <= "0011"; addr(3) <= "1010";
addr(4) <= "1011"; addr(5) <= "1101";
addr(6) <= "1110"; addr(7) <= "1111";
-- 定义寄存器值--

```

```

value(0) <= x"b2ff"; value(1) <= x"007f";
value(2) <= x"807f"; value(3) <= x"007f";
value(4) <= x"807f"; value(5) <= x"ffff";
value(6) <= x"07ff"; value(7) <= x"007f";
shift_data <= head & addr(7) & value(7)

```

```

& head & addr(6) & value(6)
& head & addr(5) & value(5)
& head & addr(4) & value(4)
& head & addr(3) & value(3)
& head & addr(2) & value(2)
& head & addr(1) & value(1)
& head & addr(0) & value(0);
cont <= 0;

```

```

scs <= '1';
elseif load = '1' then // 装载寄存器
if cont = 0 then
cont <= cont + 1;
scs <= '0';
elseif cont < 256 then

```

// 移位输出

```

shift_data(255 downto 1)
<= shift_data(254 downto 0);
cont <= cont + 1;
elseif cont = 256 then
scs <= '1';
end if;
end if;
end process;
scsout <= scs;
sdata <= shift_data(255);
sclk <= (not clk) and (not scs);

```

4 结果仿真

用信号发生器输出幅度为 600 mV(峰峰值), 频率为 50 MHz 的正弦波。将 ADC08D1000 到采样信号引入 FPGA, 用 ChipScope 软件观察 DID, DQD, DI, DQ 的波形, 如图 4 所示。

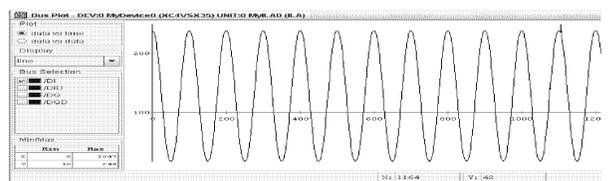


图 4 采样波形

5 结语

ADC08D1000 在满足超高速采样的情况下各种性能都有很好的表现。采样精度高, 出错概率小, 功耗较低, 正常运行下功耗不超过 1.6 W, 低功耗模式下不超过 20 mW。工作模式灵活, 可以根据需要配置成多种工作方式。在卫星机顶盒、测量仪器、射频采样等中高端的各种需要高速采样的场合值得推荐使用。

(下转第 53 页)

置、日志管理等功能;表现层包括前台应用界面和后台数据管理两个部分。应用系统的体系结构如图3所示。

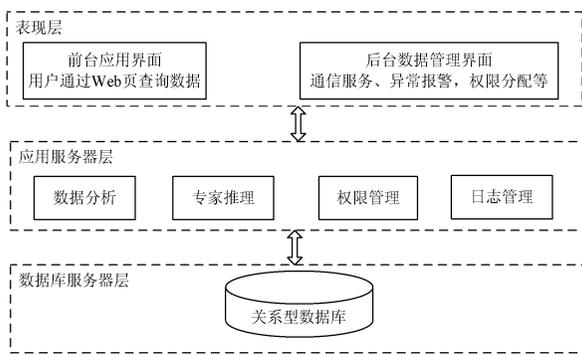


图3 应用系统的体系结构图

前台系统采取B/S体系结构,以浏览器方式实现,包括数据查询、统计打印等功能。用户以互联网浏览器进行日常的业务处理、信息浏览与查询,减轻用户对计算机操作复杂性的要求,提高系统的可靠性;后台系统采用C/S结构,完成数据采集、通信服务传输模块、异常报警模块等功能,并将数据保存到中央数据库系统和数据仓库。

5 结 语

该系统采用统一的软、硬件平台、编制各种操作风格一致的数据录入、更新、删除、查询、统计等管理工具,保证操作的简易性、良好的可理解性及内容自动更新和自动维护能力。通过业务模块化设计及安全模块的实现,按部门和职务构成二维权限控制网络,以确定每一个操作者在系统的位置,保证数据访问的安全与等级。系统采用数据库系统具有自动备份功能,保证数据库中数据的安全性及可靠性。利用数据库的事务处理能力,

保证在可预计的并发用户访问数目时不会发生性能下降及数据阻塞。同时,该系统设计多种系统管理工具,可以查询用户访问情况,侦测异常访问,及时评估系统的安全水平。

参 考 文 献

- [1] 李秀娟,漆随平,曹毅.基于多传感器管理和模糊控制的在线馏程分析仪[J].河南科学,2008,26(2):194-197.
- [2] Qi S P, Zhang H J, Huang Y M. An Application of Information Fusion to Detect and Measure the Stee Rods of Online Sensed Imagery [A]. IEEE Sensor Conference [C]. Toronto: Canada Press, 2003: 58-62.
- [3] 肖卫华,郭发江,汪洪敏.常规储藏方式下粮食品质变化规律探讨[J].粮油仓储科技通讯,2005(1):4-44.
- [4] 吴静,马亚非.基于PCI总线的图像处理及传输系统的设计[J].现代电子技术,2007,30(18):117-120.
- [5] 刘晓莉,蔡静平,黄淑霞,等.粮食吸湿过程中微生物活动与品质变化相关性的研究[J].河南工业大学学报:自然科学版,2006,27(5):33-39.
- [6] 张文利.浅析粮食微生物与粮食储藏的关系[J].黑龙江科技信息,2008(6):1-2.
- [7] 刘鹏康.浅谈储粮环境条件与粮食安全储藏的关系[J].中国粮食经济,2007(8):33-34.
- [8] 王建勋,周青云.一种基于I²C总线的多点温度测量系统[J].机械与电子,2008(6):54-57.
- [9] 岳耀宾,孟祥忠.基于现场总线的监控网络节点的设计与实现[J].仪器仪表用户,2008(3):77-78.
- [10] 王云午,魏宗寿.基于CAN总线的通信节点设计[J].现代电子技术,2008,31(3):72-74.
- [11] 杨攀,胥军,方彦军.基于现场总线网络图像传输的实现[J].计算机工程,2007(4):246-249.

作者简介 乔瑞林 男,1971年出生,河南郑州人,工学硕士,工程师。主要从事自动化控制方面的研究。

(上接第47页)

参 考 文 献

- [1] National Semiconductor Corporation. ADG-08D1000 High Performance, Low Power, Dual 8 Bit, 1 GSPS A/D Converter[EB/OL]. http://www.national.com, 2004.
- [2] 侯伯亨,顾新.VHDL硬件描述语言与数字逻辑电路设计[M].西安:西安电子科技大学出版社,1999.
- [3] 徐欣,于红旗,易凡,等.基于FPGA的嵌入式系统设计[M].北京:机械工业出版社,2004.
- [4] 胡明武,丁庆生,向荣.千兆高速采集系统的硬件电路设计[J].单片机与嵌入式系统应用,2007(5):23-26.

作者简介 马爽 男,1981年出生,在读硕士研究生。主要从事嵌入式系统FPGA的应用与研究。

徐欣 男,1975年出生,国防科学技术大学副教授。主要从事嵌入式系统方面的研究和教学工作。

- [5] Ian King.高速信号、时钟及数据捕捉:数据转换系统背后的运作原理[J].电子设计应用,2006(8):1-6.
- [6] 彭辉.24通道高精度A/D数据采集模块的研制[J].现代电子技术,2008,31(7):41-42.
- [7] 汪月花,宁宁,刘源.流水线ADC增益误差及电容失配对线性度的影响[J].微电子学,2008(2):178-181.
- [8] 任勇峰,胡振良,李圣昆.基于FPGA的多路数据采集模块设计[J].国外电子元器件,2008(5):47-49.
- [9] 田多华,邱宏安,陆宇鹏.利用FPGA实现多通道同步数据采集卡[J].电子技术应用,2008,34(6):91-94.
- [10] 张在兴,汤斌.FPGA设计开发应用仿真技术解决故障的方法[J].今日电子,2008(4):98-100.