



Vivado™ 震撼登场

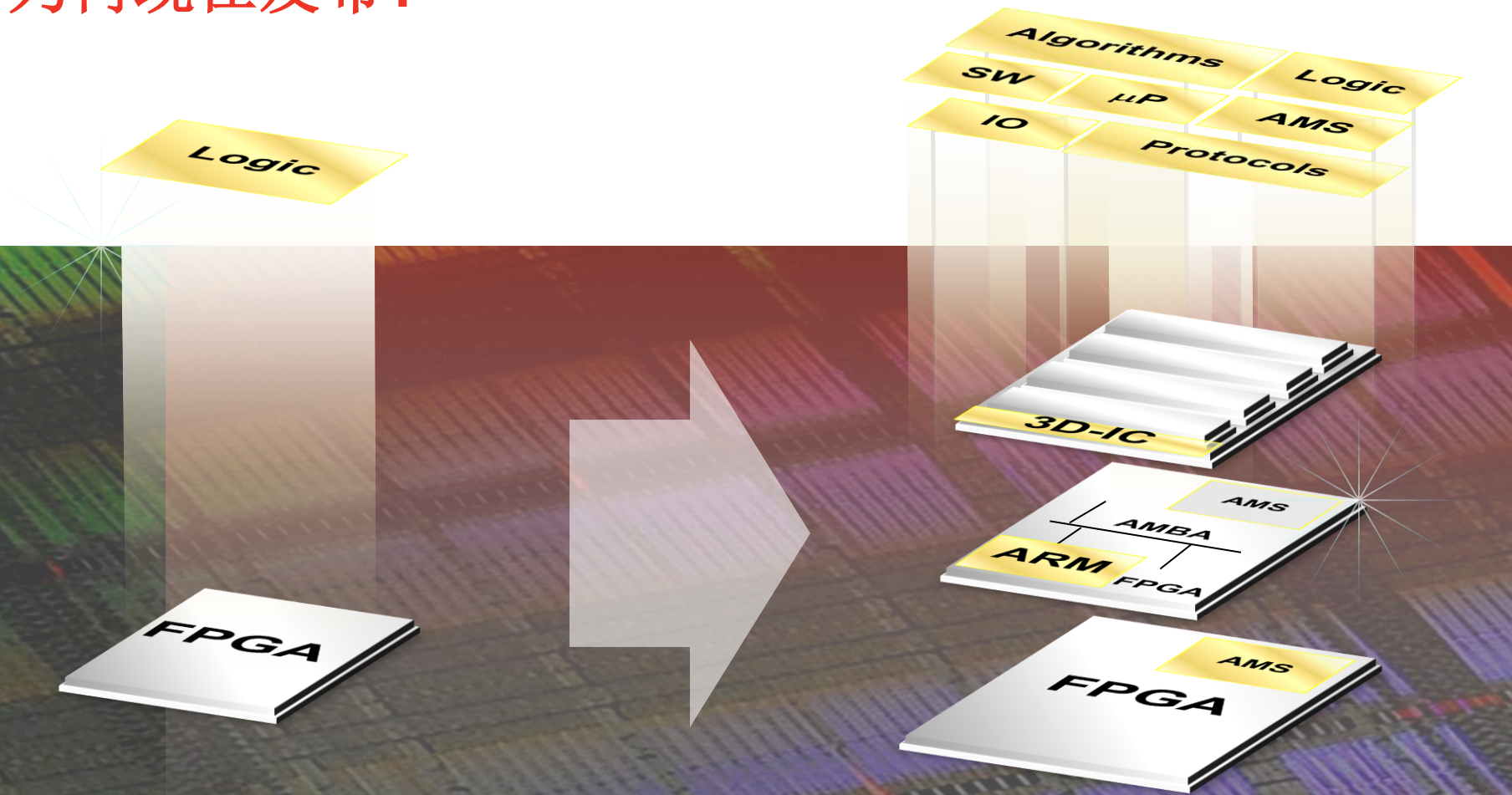
面向未来十年的 “All-Programmable” 器件
全新打造

Vivado设计套件震撼登场

- **IP及系统** 为中心的新一代设计环境
- 面向未来十年的 “**All-Programmable**” 器件
- 集成度和实施速度提高到原来的**4倍**

全新打造
面向未来10年的可编程设计

为何现在发布?



可编程逻辑器件
实现可编程“逻辑”

ALL-Programmable 器件
实现可编程系统的“集成”

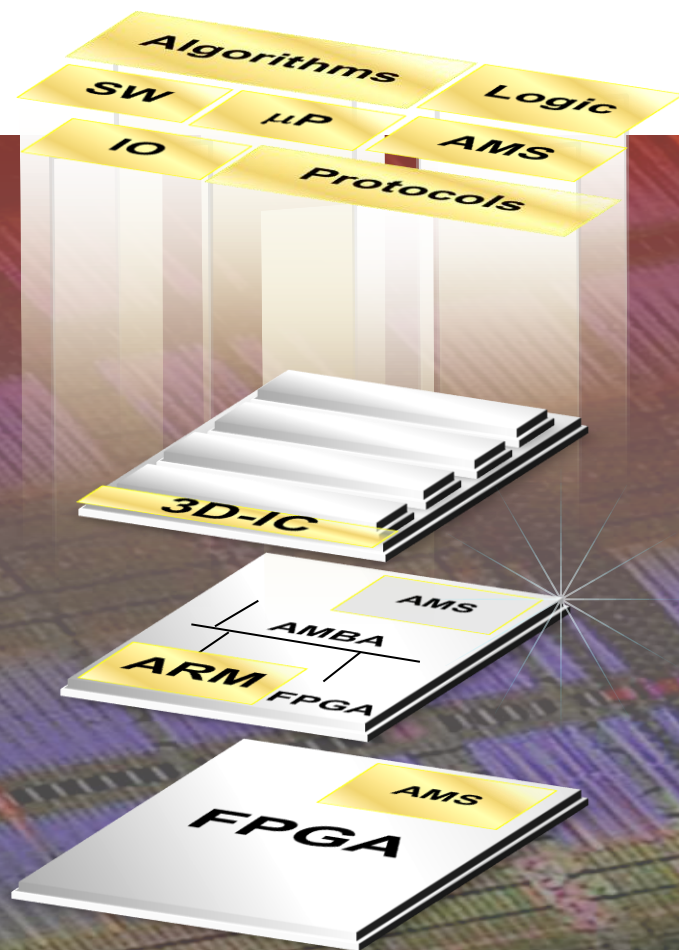
瓶颈的转移

系统集成瓶颈

- 设计和 IP 重用
- 集成算法和 RTL 级 IP
- 混合 DSP、嵌入式、连接功能、逻辑
- 模块和“系统”验证

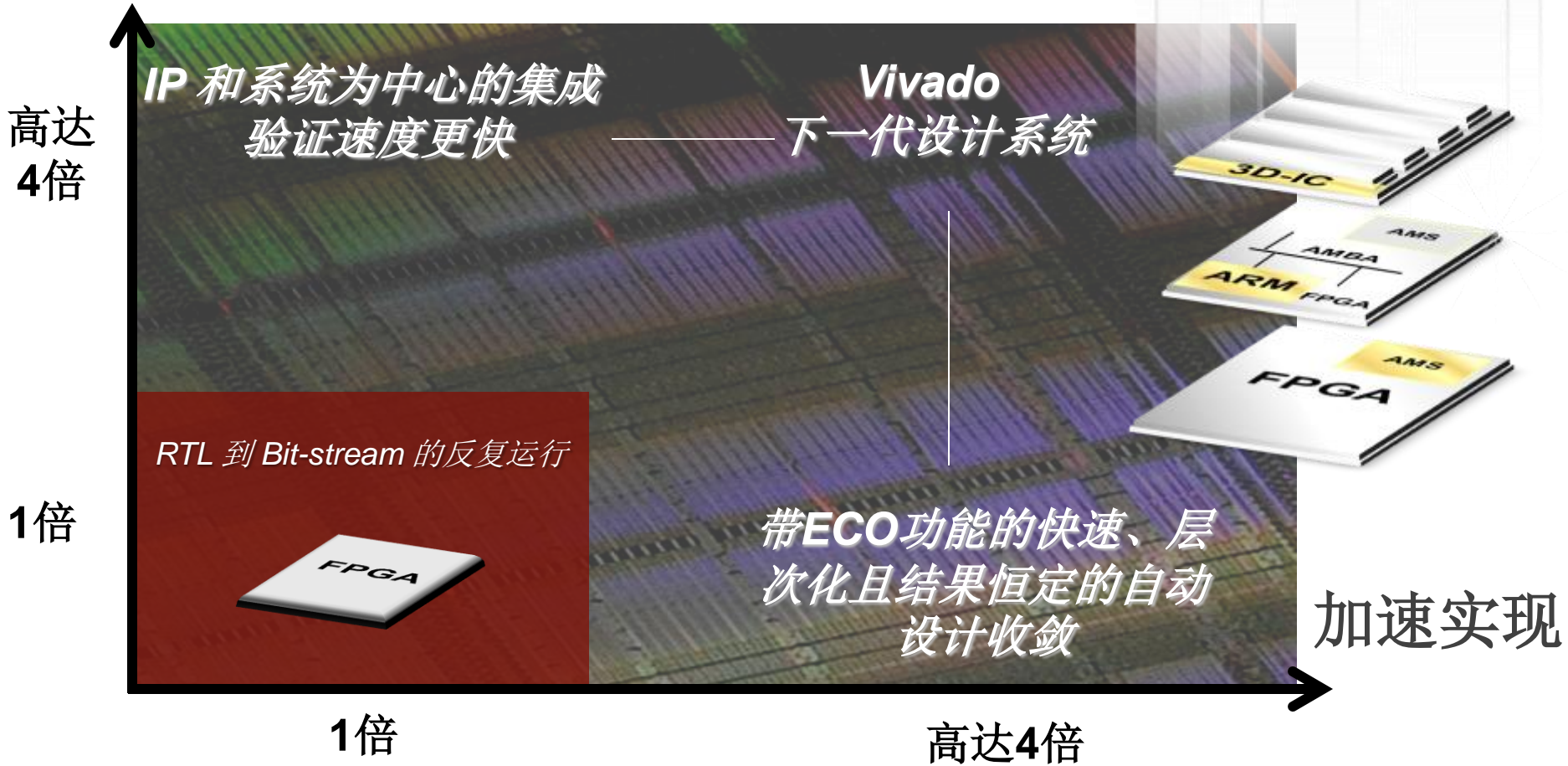
实现瓶颈

- 层次化芯片布局规划
- 多领域和多芯片物理优化
- 可预测“设计”与“时序”收敛的冲突
- 设计后期 ECO 及变更引起的连锁反应



Vivado: 生产力提升至原来的4倍

加速集成



Vivado设计套件组件

加速集成

加速实现



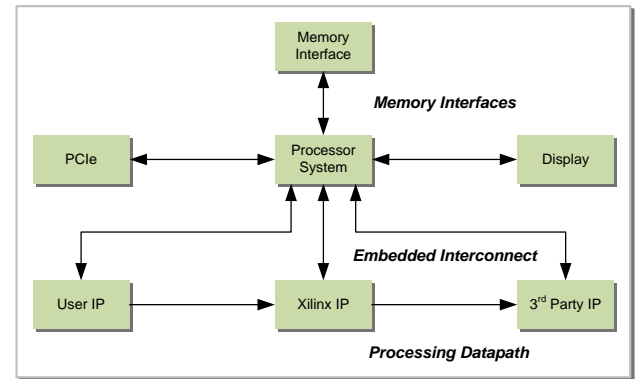
Vivado设计套件组件

加速集成



快速验证的以 IP 为中心的集成

	手工编码 VHDL	Vivado HLS C
设计时间 (星期)	12	1
时延 (毫秒)	37	21
存储器 (RAMB18E1)	134 (16%)	10 (1%)
存储器 (RAMB36E1)	273 (65%)	138 (33%)
寄存器	29686 (9%)	14263 (4%)
LUT	28152 (18%)	24257 (16%)



**ESL 算法
→ IP 综合**

标准 IP 重用

快速仿真和硬件协仿真

**IP 和软硬件
集成器**



3倍

100倍

采用硬件协仿真 Vivado ISim

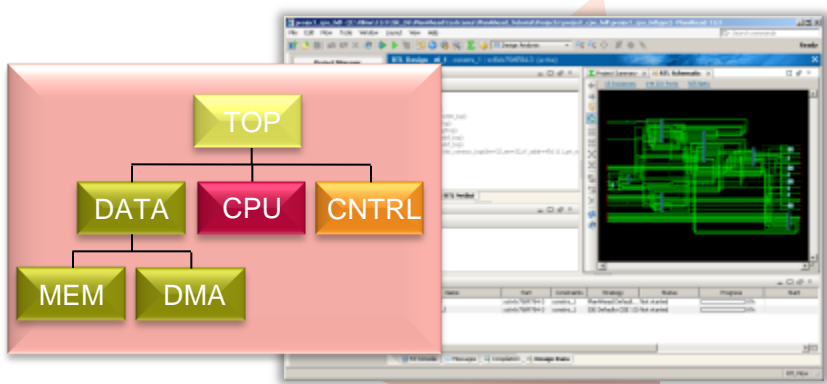


Vivado设计套件组件

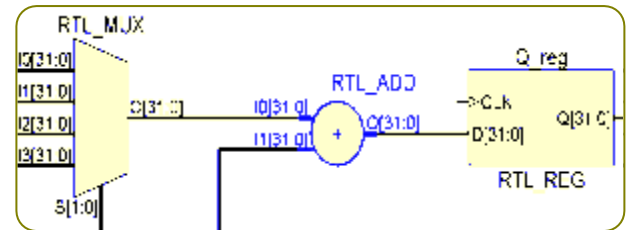
加速实现



确定性设计收敛



SystemVerilog VHDL



3-15X

分析器
优化器



时间



达到4倍

产品顺利推出

- **500** 多人投入 **4** 年多时间进行研发
- 继承 **ISE** 中经成功验证的主要组件
- 逾百家客户参与了长达一年的初始测试
- **20** 余家 **IP** 和 **EDA** 合作伙伴参与产品发布
- 继续为 **ISE** 提供支持

“Vivado 和 Virtex-7 2000T 的结合为可编程逻辑行业带来了标志性的变革。赛灵思在芯片和工具方面的创新给我们留下了深刻的印象。”

Paul Rolfe, 博通公司 (Broadcom)
硬件设计工程经理

Vivado 设计套件

- **IP及系统 为中心的新一代设计环境**
- **面向未来十年的 “All-Programmable” 器件**
- **集成度和实施速度提高到原来的4倍**

全新打造
面向未来10年的可编程设计

简化的 Vivado 套装

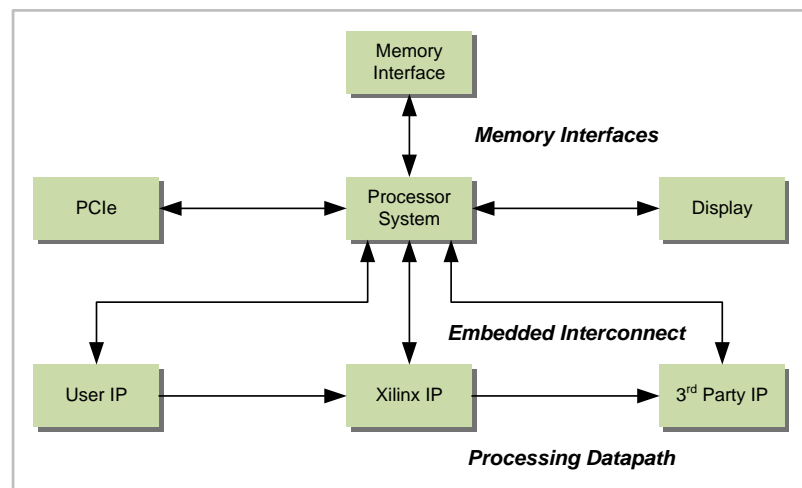
Vivado 设计套件版本

内含功能		WebPACK (限于器件)	设计版本	系统版本
IP 集成和实现	集成设计环境	✓	✓	✓
	软件开发套件 (SDK)	✓	✓	✓
验证和调试	Vivado 仿真器	受限	✓	✓
	Vivado 逻辑分析器		✓	✓
	Vivado 串行 I/O 分析器		✓	✓
设计探索和IP生成	Vivado 高级综合			✓
	System Generator for DSP			✓
价格表		免费	2995 美元	4795 美元

2012年，在质保效期内的 ISE 用户可免费获得 Vivado

Vivado IP集成器— 演示

- 采用图形化设计，实现复杂 IP 快速准确的连接
 - 在接口层面，而非个别的信号层面建立连接
 - 自动设置和复制 IP 参数
 - 自动生成 RTL
 - 完全支持任意层数的设计层次结构
 - 能够创建基于处理器和非基于处理器的设计
- 与 Vivado IP 封装器流程紧密集成，实现快速的 IP 和子系统重用



开始演示>



Vivado高层次综合 – 演示

■ 桥接应用鸿沟

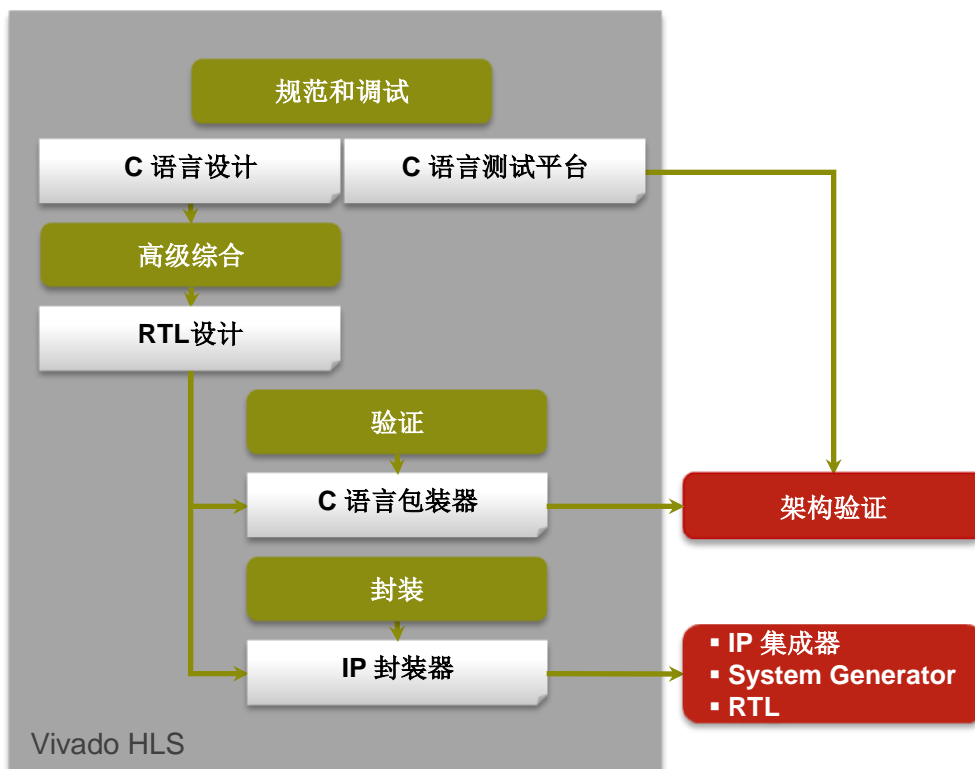
- 从算法设计人员到硬件设计人员

■ 用 C 语言开发

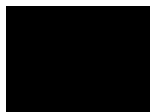
- 规范简洁
- 算法探究
- 快速验证

■ 借助 HLS 实现重用

- 架构探究
- 成本/功耗降低
- IP 可移植

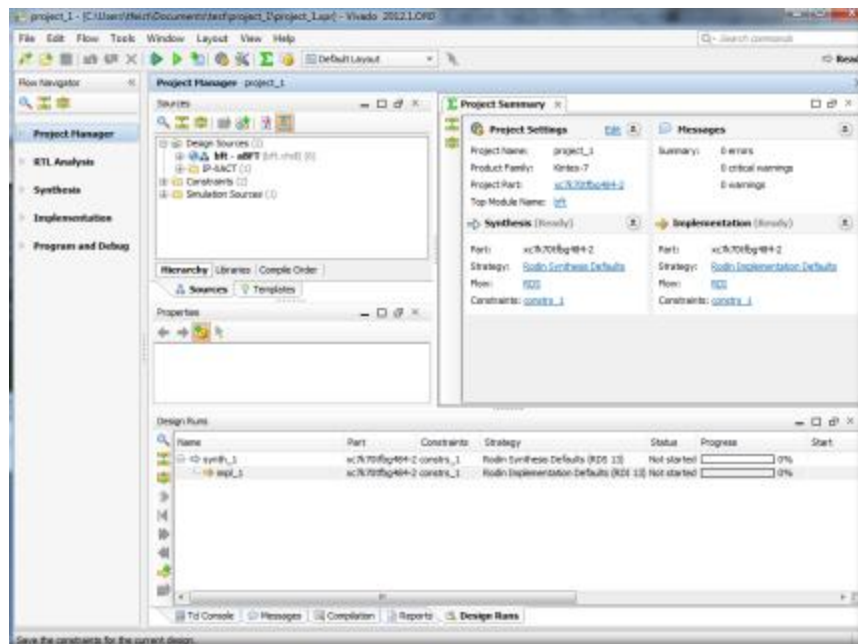


开始演示>



Vivado 实现 – 演示

- 简便易用
 - 只需学习一种 IDE
 - 按钮式编译流程
 - 基于任务的“视图”
- 快速综合
- 快速实现
- 快速设计分析



开始演示 >



Thank you!

敬请注意:

本次发布为限时新闻发布(embargo)

具体发布时间为: 北京时间2012年4月25日上午7:30



通过赛灵思中文社区获取大量中文资料

- ❖ <http://www.eeworld.com.cn/Xilinx/>
- ❖ <http://Xilinx.Eetrend.com>
- ❖ <http://Xilinx.Eetop.cn>
- ❖ <http://Openhw.org>

通过社交媒体联系我们:

- ❖ 开心网
- ❖ 优酷网
- ❖ 人人网

通过论坛和新浪微博和同行交流

- ❖ [赛灵思FPGA世界 @21ic](#)
- ❖ 新浪微博
<http://weibo.com/xilinxchina>

追随赛灵思的脚步，紧跟FPGA尖端技术，
尽情释放设计的所有潜能！

赛灵思官方中文网址: www.xilinx.com/cn
赛灵思在线技术支持: <http://www.xilinx.com/support>

赛灵思技术支持热线:
800-988-0218 (office phone)
400-880-0218(mobile phone)