



利用 All Programmable FPGA、SoC 和 3D IC 领先一代

2012 年 9 月 7 日

作者：Mike Santarini；出版方：赛灵思 Xcell 杂志

赛灵思在 28nm 节点上推出的多种新技术为客户带来了重大的超前价值，并使赛灵思领先竞争对手整整一代。赛灵思并不是简单地将现有的 FPGA 架构迁移到新的技术节点上，而是力求引领多种 FPGA 创新，并率先推出了 All Programmable 3D IC 和 SoC。

今天推出的 All Programmable 产品采用了各种形式的可编程技术，包括可编程硬件和软件、数字信号和模拟混合信号 (AMS)、单晶片和多片 3D IC 方案（图 1）。有了这些全新的 All Programmable 器件，设计团队就能进一步提升可编程系统的集成度，提高整体系统性能，降低 BOM 成本，并以更快的速度向市场推出更具创新性的智能产品。

图 1：赛灵思超越逻辑范畴在 28nm 节点上对“可编程性”进行扩展，推出了一系列 All Programmable 器件。



2008 年，赛灵思在新任 CEO Moshe Gavriellov 的领导下开始对产品系列实施转型。赛灵思启动了一套全面战略，用以扩展技术组合，扩大市场范围，并引入了最先进的 28nm 节点技术。其中，赛灵思实验室和产品设计团队经过多年原型设计和评估而开发出的两种全新器件也即将投入量产。公司还同台积电合作推出了全新的 28nm 芯片工艺。这种被称为 HPL（含义是高性能、低功耗）的新工艺实际是为 FPGA 量身打造，具有最佳的高性能和低功耗特性。赛灵思认识到功耗是客户的首要关注点，因此整个 All Programmable 产品线都采用这种先进的工艺制造（见 [Xcell 杂志第 76 期封面报道](#)）。赛灵思还组建了一只顶级的 EDA 设计团队来开发全新的现代化设计套件，其目标不仅是为了提高客户在使用 5 个 28nm 器件系列时的工作效率，还有一个目的是为了满足不同 10 年内 All Programmable 器件的可扩展性要求。

ZYNQ-7000 ALL PROGRAMMABLE SOC

Zynq-7000 All Programmable SoC（片上系统）是首批推出的新型产品，它获得了 [《EE Times》杂志评选的年度创新大奖](#)，是一款改变业界格局的重要产品。All Programmable SoC 整合了 3 种适用于大规模定制化的可编程功能，分别是硬件、软件和 I/O 可编程性。赛灵思已经推出了数代采用片上软核与硬核处理器的 FPGA 产品，在此基础之上并结合多年来广泛收集的客户反馈，最终形成了 Zynq-7000 All Programmable SoC 产品理念。

从上世纪 90 年代末开始，赛灵思和竞争对手都推出了软处理器内核，客户可将这种内核综合到 FPGA 逻辑结构中。这样，设计团队就能在统一的架构中将处理与逻辑功能紧密整合，从而进一步降低 BOM 成本。在实践中，许多软处理器都被用于嵌入式状态机，而不是运行在更为复杂的操作系统和软件堆栈系统中。2005 年左右，新的半导体工艺使得 FPGA 厂商能够推出更高容量的器件，于是厂商开始将硬处理器内核与 FPGA 逻辑配合使用，从而显著改善了 FPGA 的处理性能。例如，赛灵思先后推出的 Virtex®-4 FX 和 Virtex-5 FX 系列都在 FPGA 逻辑中嵌入了 PowerPC® CPU 内核。

Virtex FX 系列相对于软实现方案大幅提高了处理器性能，设计团队要先对 FPGA 逻辑进行编程才能对处理器编程。一旦 FPGA 逻辑进行了编程，设计团队就需要创建自己的外设、存储器子系统并最终创建“嵌入式系统”和相关的进出逻辑的管道。熟悉 FPGA 设计的专家设计团队当然希望实现处理器性能的提升，不过这种架构相对于更受欢迎的传统嵌入式系统设计方法而言更复杂。在此经验基础上，赛灵思于 2008 年开始进行 Zynq-7000 All Programmable SoC 的架构设计，同样重要的是，公司还开始设计相关的生态系统，包括固件和软件开发工具以及基础设施，从而协助器件的编程工作。

对 Zynq-7000 All Programmable SoC 而言，赛灵思选择了非常受欢迎而且得到很好支持的 1-GHz ARM® A9 双核处理器系统，并协同 ARM 创建 AXI4 接口标准，在架构的逻辑部分实现第三方、赛灵思和客户开发的内核的即插即用。此外，赛灵思还对 Zynq 系列进行架构设计，使其能够从处理器直接启动，这样系统设计人员就能以熟悉的方式开展工作，帮助设计团队尽快启

动软件开发工作，从而加快产品上市进程。由于处理器首先启动，所以软件设计人员即便不熟悉 FPGA 逻辑或硬件设计也能开始使用器件，或许还能扩展编程范围。赛灵思还为 Zynq-7000 提供了丰富的外设 IP 核以及可编程的高速 I/O，不仅能为客户带来 FPGA 和处理器，而且能实现真正的 All Programmable SoC。

赛灵思于 2010 年推出该架构，有力推动了客户和生态系统合作伙伴的产品开发工作。公司于 2011 年冬天向客户推出首款 All Programmable SoC。某家公司作为最早获得该产品的客户之一一年多以来一直在用 Zynq 仿真平台进行设计方案的定义和开发，收到芯片之后几个小时之内就让设计方案成功运行。今天，Zynq 的需求跟其它赛灵思 FPGA 系列一样高，大多数应用都集成了不同 CPU、DSP、FPGA 和 AMS 组件中使用的系统功能。如欲了解关于 Zynq-7000 All Programmable SoC 的更多详情，敬请参阅 2011 年 3 月 [第 75 期 Xcell 杂志的封面报道](#)。截至 2012 年 9 月，已有一家公司宣布了推出竞争性器件的计划，但还没有宣布交付芯片，而且也没有成规模的生态系统为其提供足够的支持。

ALL PROGRAMMABLE 3D ICs

赛灵思率先在 28 nm 工艺节点上推出的另一类全新器件就是所谓的“**All Programmable 3D IC**”。早在 2004 年，赛灵思实验室就开始探索多芯片在统一 IP 配置中的堆栈，并最终推出了原型设计，以突破摩尔定律的限制，开创可编程系统集成的全新高度。赛灵思的科学家创建了各种 3D IC 架构的测试芯片，探索堆栈芯片的各种方法，并通过 TSV 给芯片供电，支持芯片间通信。通过广泛的原型设计，并致力于可靠的制造，该公司判定近期商业上可行的最实用架构就是赛灵思的 SSI 技术。就此架构而言，多芯片在无源硅中介层顶部并行放置，有助于多芯片之间的互联和通讯。芯片通过编程可支持超过 10000 个互联，而且每个芯片和 I/O 都具有可编程性，这样赛灵思所推出的就不光是首款商业 3D IC，而是首款 All Programmable 3D IC 了。如欲了解关于 SSI 技术的更多详情，敬请参阅 [第 77 期 Xcell 杂志的封面报道](#)。

2012 年初，赛灵思为客户推出首款 3D IC。Virtex-7 2000T 器件并行协议栈 4 个 FPGA 逻辑 slice。该器件建立了一项 28nm 工艺节点上 IC 晶体管数量的新纪录（超过 68 亿个晶体管），也突破了 FPGA 逻辑容量的记录，可提供 200 万个逻辑单元（相当于 2 千万个 ASIC 门）。该器件的尺寸相当于同类竞争器件最大型 FPGA 尺寸的两倍，其逻辑容量比该工艺节点上通常预期的水平整整领先了一代。此外，该 SSI 技术架构还帮助赛灵思提供的容量超越了摩尔定律设想未来新一代的产品水平。

Virtex-7 2000T 器件深受客户欢迎，并广泛应用在包括 ASIC 原型设计、存储和高性能计算系统在内的各种设计应用中。这些应用都需要业界能够提供的最高容量的可编程逻辑。不过，赛灵思还进一步扩展了其 3D IC 技术，能够充分满足通信市场中最高性能的应用需求，整整领先同类竞争解决方案一代的水平。

2012 年夏季，赛灵思推出了面向通信市场的三款异构 All Programmable 3D IC 中的首款产品：Virtex-7 H580T（[参见 Xcell 杂志第 80 期的封面报道](#)）。Virtex-7 2000T 是一款同质 3D IC，其所有四个芯片 /slice 都主要由 FPGA 逻辑构成，而 Virtex-7 H580T 则是首款异构 3D IC。

为了推出 Virtex-7 H580T，赛灵思在无源硅中介层上将专用的 28G 收发器芯片与两个 FPGA 芯片并行放置。这样一来，赛灵思推出的器件就能提供 8 个 28-Gbps 收发器、48 个 13.1-Gbps 收发器和 580k 逻辑单元。对于基于 CFP2 光学模块的 2x100G 光学传输线路卡等应用而言，Virtex-7 H580T 不仅可将材料清单成本锐减五分之一，还能相对于上一代实现方案而言显著减少板级空间。

Virtex-7 H580T 只是赛灵思 28nm 系列中推出的首款异构 3D 器件。Virtex-7 H870T 器件在同一芯片上集成了 2 个八通道收发器芯片以及 3 个 FPGA 逻辑芯片，从而实现了在一个芯片上总共有 16 个 28-Gbps 收发器、72 个 13.1-Gbps 收发器和 876,160 个逻辑单元。Virtex-7 H870T 器件可全面支持新一代有线通信，也就是 400G 市场。此外，赛灵思的 3D IC 技术将帮助客户在市场成型之初就能开始 400G 应用的开发工作，并获得显著的市场优势，甚至有望比同类竞争对手整整领先一代技术。

All Programmable 3D IC 是 All Programmable 器件又一个遥遥领先于同类竞争解决方案的系列。虽然近期有一家公司宣布同台积电代工厂合作生产了测试芯片，但该公司还没有公开宣布面向客户推出样片或量产器件。

ALL PROGRAMMABLE FPGA

自赛灵思推出业界首款 FPGA（1985 年推出相当于 1000 个 ASIC 门的 XC2064）以来，FPGA 已经取得了长足的发展。最早的 FPGA 定位于门阵列和 ASIC 的替代品，主要用作“粘性逻辑”，协助两个最初设计不相互通信的器件进行对话，此外也能在设计最后时刻为大型 ASIC 补充此前缺失的功能。

时光快进到当下，显然，现代 FPGA 产品已经远远超越了门阵列的水平。今天的 All Programmable FPGA 不仅包含数百万个可编程逻辑门，还嵌入了存储器控制器、高速 I/O 以及模拟 / 混合信号电路系统。就过去的 FPGA 而言，设计团队能用它解决系统中的问题，或者把系统元素“粘合”在一起。而就今天的 All Programmable FPGA 而言，能够帮助客户创建高性能数据包处理、波形处理、图象 / 视频处理或高性能计算功能，而且能在系统中进行动态重编程，也能在产品部署后进行升级。

赛灵思在 All Programmable SoC 和 3D IC 市场中还没有遇到过竞争对手，要是能在传统的 FPGA 市场中领先竞争对手整整一代的水平当然也是一个巨大的成就。为了实现这个目标，赛灵思制定了一个明确的战略，首先推出 28nm 的 FPGA 芯片，通过扩展组合涵盖低端、中

端乃至高端产品的各种不同要求。赛灵思还制定了区分所有 28nm 工艺芯片特色化的目标，一是在系统性能和集成度方面领先对手一代的水平，二是功耗降低再领先一代的水平，三是串行解串器大跃进实现最低抖动和无与伦比的通道均衡，四是新一代工具套件为未来的需求提供高效率、结果质量（QoR）和可扩展性优势。

事实上，赛灵思已经实现了上述所有目标，于 2011 年 3 月推出了首款 28nm 系列产品 Kintex™ -7 K325T（同时也是首款中端产品）。赛灵思实际上是整个半导体产业中首个推出 28nm 芯片的企业。赛灵思决定基于台积电的 HPL 工艺实施全系列 28 nm All Programmable 器件，而且为进一步降低功耗采用关键的架构创新，这使得公司目前为客户提供的 All Programmable FPGA 产品对同类性能的竞争产品而言能将功耗降低 35% 到 50%，在用电效率上领先了整整一代的水平（图 2）。赛灵思的 28nm FPGA 还实现了无与伦比的高性能和高集成度（图 3）。系统性能和集成度（包括 BRAM、DSP、存储器接口、收发器和逻辑元件的集成）都超越竞争对手 1.2 倍到 2 倍，平均优势达 1.5 倍，也相当于领先整整一代的水平。

图 2：客户设计显示相同性能水平下的功耗平均比竞争对手降低 35%。

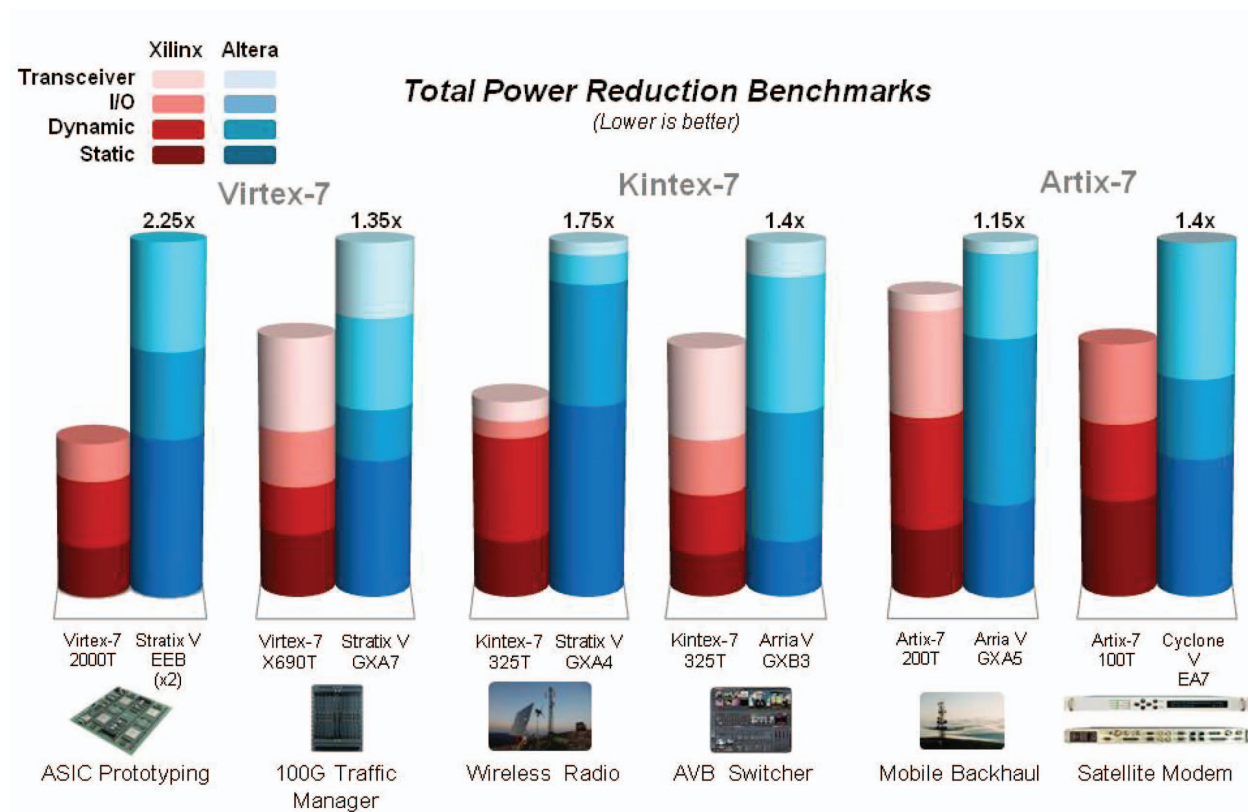
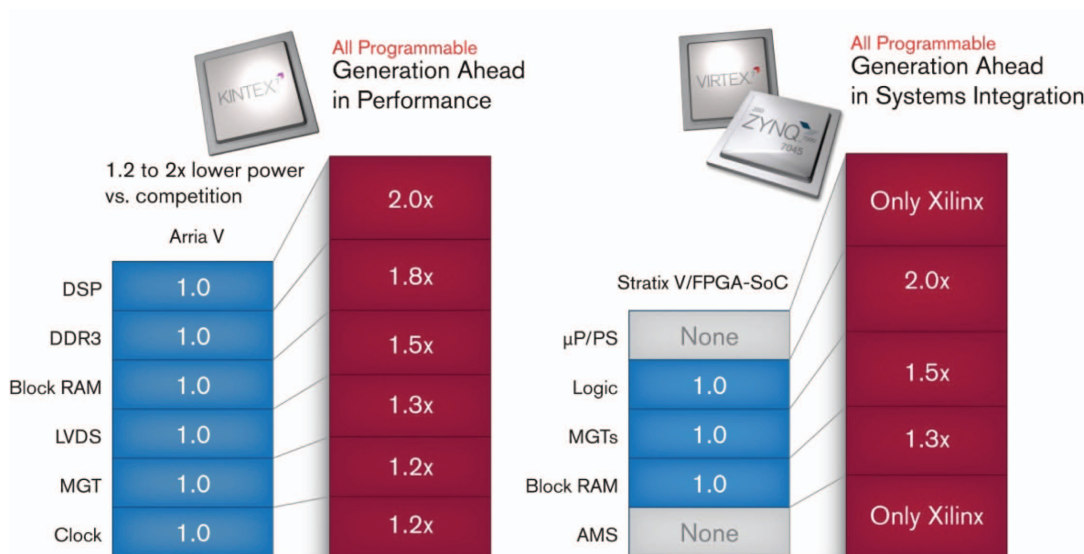


图 3: 赛灵思的 28nm FPGA 相对于竞争对手而言在性能和集成度方面领先了整整一代的水平。公司已经根据规范推出了 All Programmable 器件, FPGA 量产器件还没有勘误表。

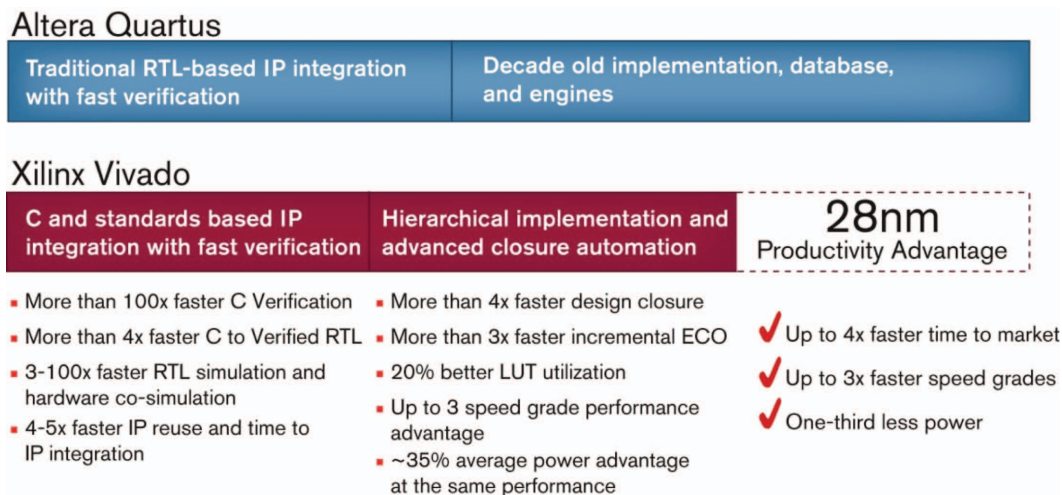


此外, 赛灵思的 All Programmable FPGA 还可提供竞争对手所没有的特性。举例来说, 所有赛灵思的 28nm FPGA 都包含灵活混合信号模块, 通过支持在 FPGA 中实现的模拟系统功能 (而不是采用外部分离式的模拟器件) 进一步降低材料清单成本。

采用 VIVADO 提高工作效率

为了提高设计人员采用 28 nm 及其更高 All Programmable 器件的工作效率, 赛灵思还全新开发了新一代设计环境和工具套件 Vivado™ (图 4)。开发工作耗时 4 个日历年以上, 凝聚 500 人多年的努力。没有这款设计套件, 设计团队就不能有效地发挥赛灵思 3D IC 的潜力。对 FPGA 和 SoC 而言, Vivado Design Suite 将设计质量结果提升了三个速度等级, 将动态功耗降低了高达 50%, 可路由性和资源利用率提升了 20% 以上, 集成和实现速度翻了两番之多。如欲了解关于 Vivado 的更多详情, [敬请参阅 Xcell 杂志第 79 期的封面报道](#)。

图 4: 赛灵思的 Vivado 为设计人员带来一流的设计套件, 大幅提升工作效率, 显著加速产品上市进程。



Vivado 对支持新型 All Programmable 器件组合、实现可编程系统高度集成发挥着至关重要的作用。因此, 我们关注的重点大大超越了加速实施流程和 QoR、利用尖端分析引擎和关闭自动化。为了实现出色的集成度, Vivado 支持分层架构、IP 核封装和重用、自动化 IP 核拼接以及高速验证。为了进一步加快产品上市进程, 提高设计抽象化水平, Vivado 支持基于 C 设计和验证的流程, 能通过高层次综合和自动化 AXI 接口生成来加速从 C 到 RTL IP 的创建和集成速度。这样, Vivado 不仅加速了实现速度, 也在设计前端加快了 C 到 RTL 的集成速度。

总结

赛灵思如今开发了各种形式的可编程技术, 超越了可编程硬件而涵盖软件领域, 超越了数字而涵盖 AMS, 超越单芯片而涵盖多芯片 3D IC 实施方案。赛灵思将这些技术整合到 All Programmable FPGA、SoC 以及 3D IC 中, 可帮助设计团队提高可编程系统集成度, 改进整体系统性能, 降低材料清单成本, 并加快向市场推出创新型产品的速度。赛灵思产品组合的变革转型可追溯到 2008 年, 部分创新技术则能进一步上溯到 2006 年, 其成果则是如今的产品组合技术已整整领先竞争对手一代的水平, 为客户带来增值。

放眼 20nm 工艺节点, 赛灵思将推出更高级的 FPGA、第二代 SoC 以及 3D IC 产品, 进一步扩大领先地位, 同时还将推出 Vivado 设计系统, 使赛灵思的技术水平始终领先一代之遥。赛灵思开始同客户合作调节改进 SoC 和 3D IC 技术的举措领先竞争对手多年, 重新定义了高速串行收发器等关键核心技术的开发和交付, 改进了设计方法和工具, 扩展了系统级生态系统和供应链, 并确保其质量和可靠性。