



# XILINX

ALL PROGRAMMABLE™

## 继续领先一代:

Xilinx 20nm 产品战略

汤立人

赛灵思公司全球高级副总裁，亚太区执行总裁

2012年11月9日，北京

2012年11月14日

## 基于28nm技术突破的赛灵思20nm产品系列 继续领先一代

下一代FPGA及第二代 SoC和 3D IC将与Vivado设计套件“协同优化”，提供最具吸引力的ASIC和ASSP可编程替代方案

San Jose, Nov. 13, 2012 – Xilinx, Inc. (NASDAQ: XLNX) today announced its strategy for its 20nm portfolio,

including

20nm p

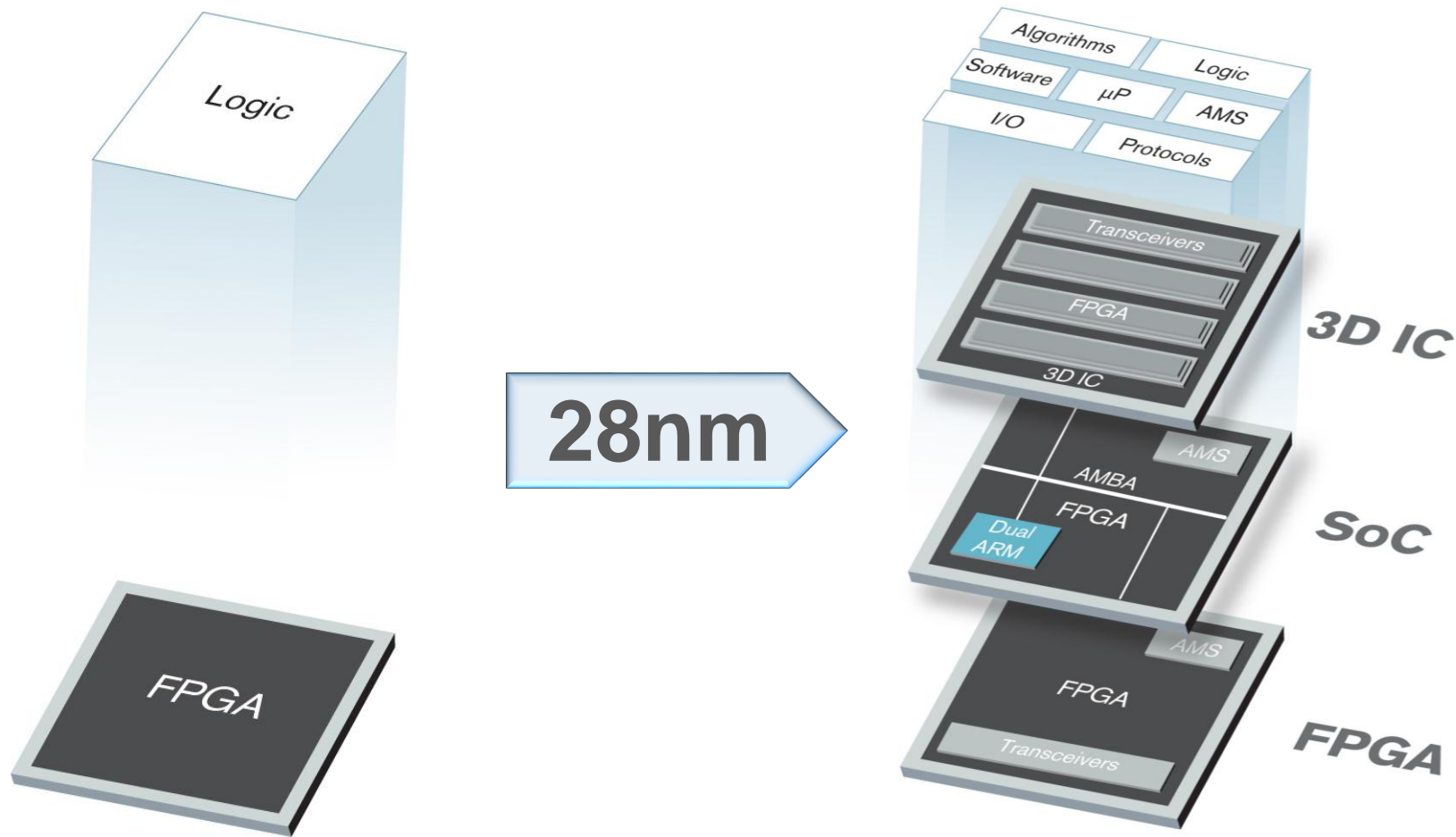
perform

for the

system

- ▶ All Programmable FPGA 及第二代 SoC 和 3D IC
- ▶ Vivado设计套件“协同优化” 以实现更高的性能、功耗和集成度
- ▶ 无与伦比的集成和实现速度

# 20nm 的强大根基: 28nm节点领先一代的技术



➤ 可编程逻辑器件  
实现可编程的“逻辑”

➤ All Programmable 器件  
实现可编程的“系统集成”

# 在28nm上的领先一代

All Programmable FPGA, SoC 和 3D IC



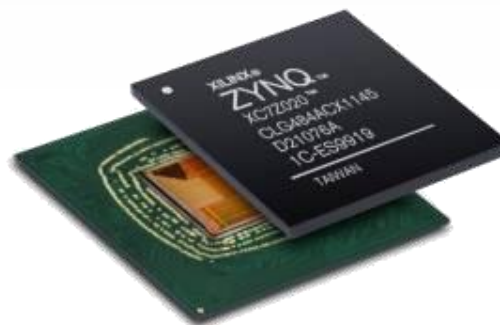
## 行业唯一针对性能/瓦而优化的 FPGA

- ▶ 行业首个发售: 2011年第一季度
- ▶ 存储、XCVR、DSP 性能和集成领先一代 (1.2-2倍)
- ▶ 相比竞争对手降低25-50%的功耗



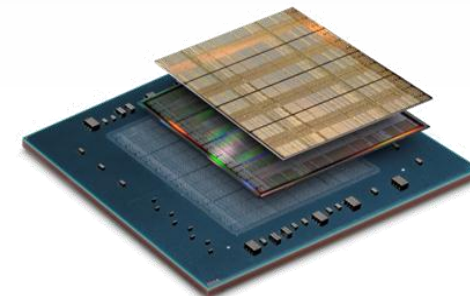
## 行业首款 All Programmable SoC

- ▶ 行业首个发售: 2011年第四季度
- ▶ 系统集成领先一代
- ▶ 竞争对手在芯片发售上落后一年以上
- ▶ Design 机会和 FPGA 相同

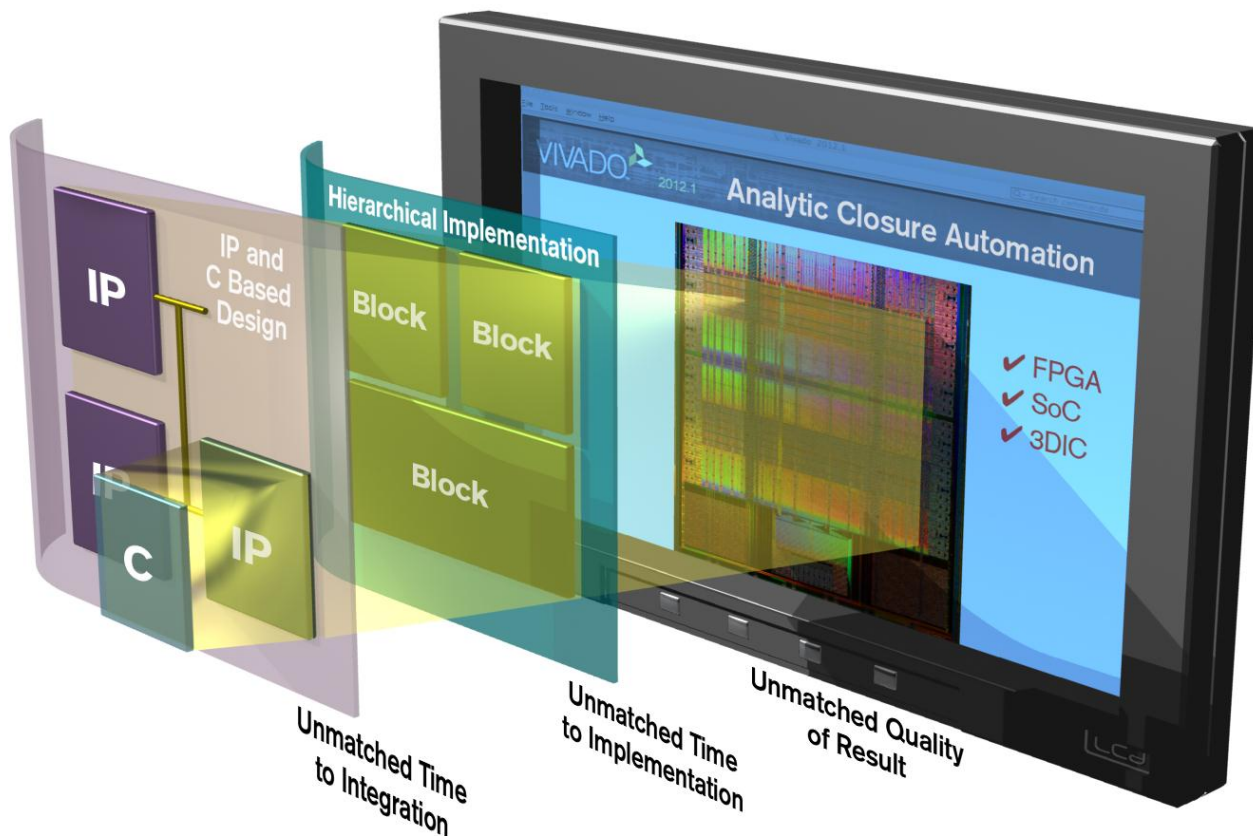


## 行业首款 All Programmable 3D IC

- ▶ 行业首个发售: 2011年第四季度
- ▶ 2012年第二季度无论在原型设计还是有线通信方面均已大批量产
- ▶ 竞争对手落后一代: 测试芯片

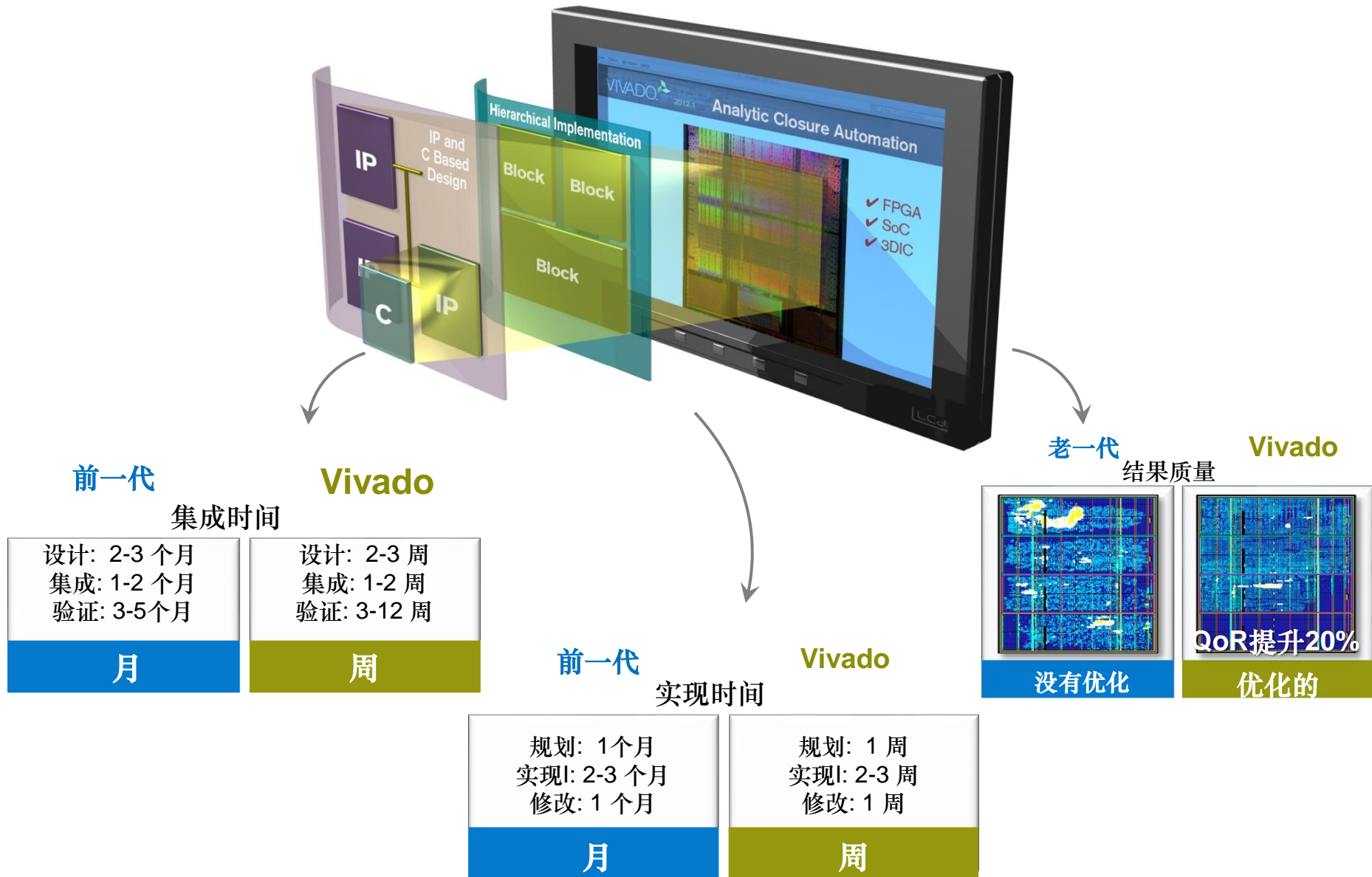


# 行业第一个增强 SoC 的设计套件



- 首次量产发售: 2012年第二季度
- 从头打造, 针对未来十年的 All Programmable 器件
- 目前应用于 30% 的 28nm FPGA中, 100% 的 3D IC中

# Vivado: 从几个月到几周且拥有最高 QoR



# 扩大下一代的竞争优势

3D IC 的专业性和供应链

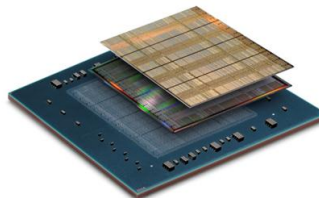
SoC 和嵌入式软件

世界级的 XCVR和模拟混合信号 (AMS) 技术

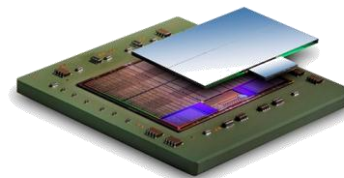
通信业务部和应用IP

下一代设计自动化

同构



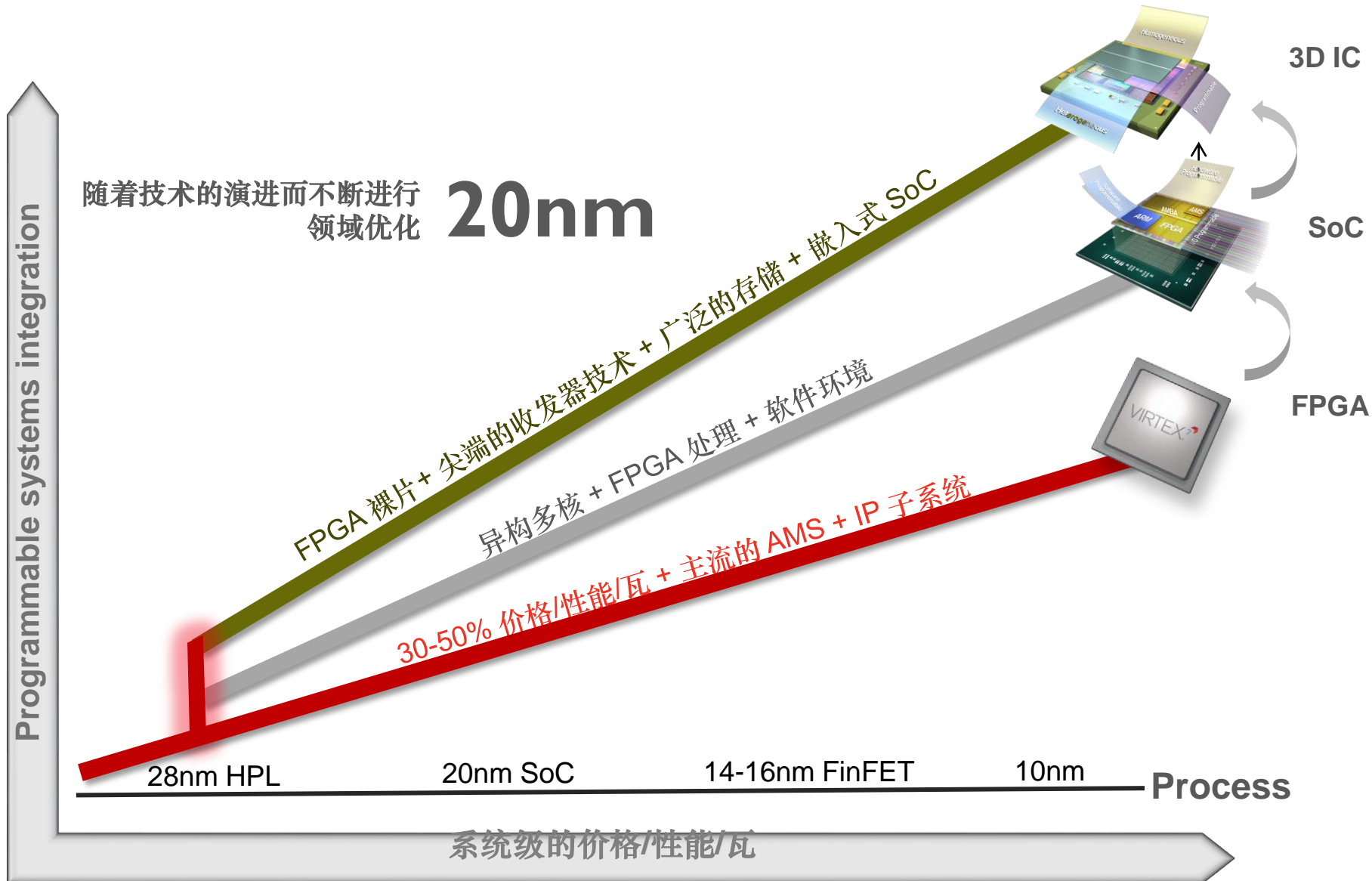
异构



ARM



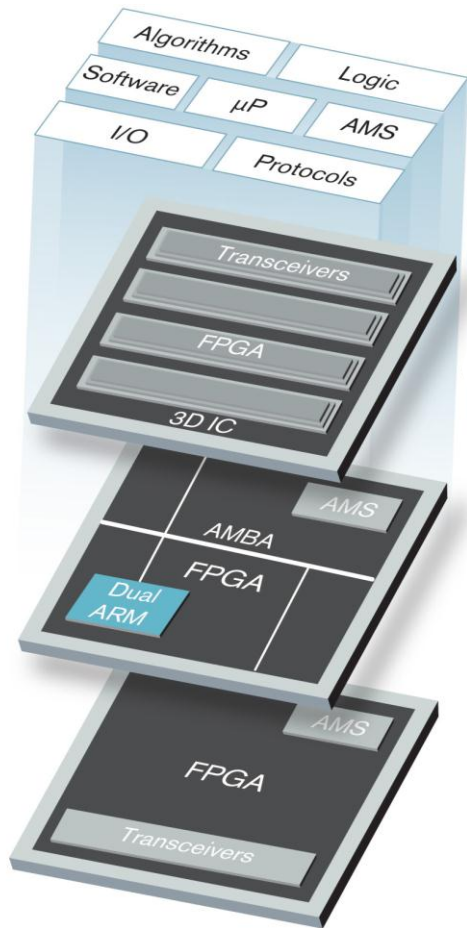
# 铺就一个更积极的未来...



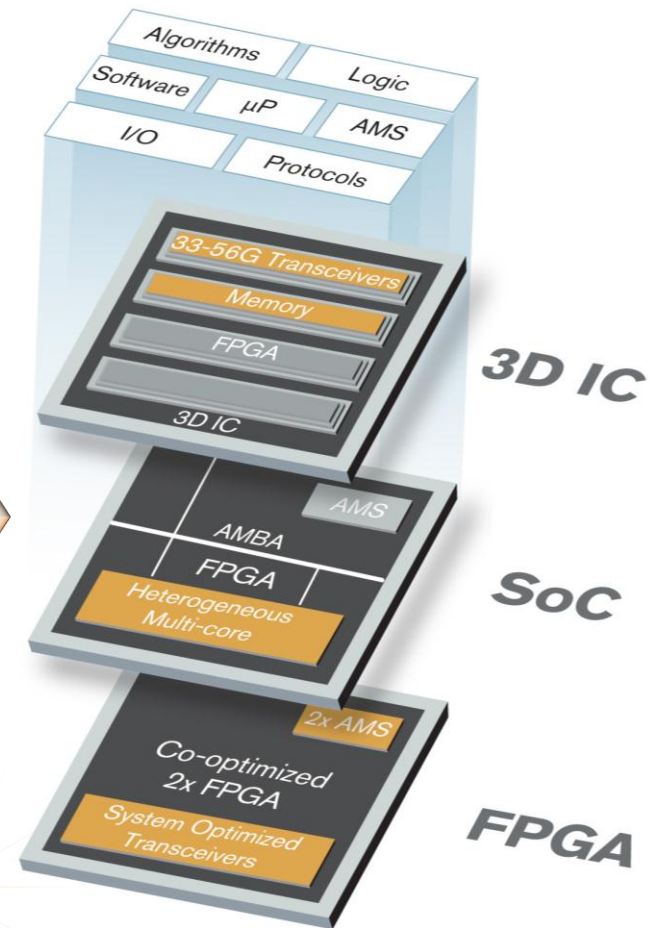
\* 系统级的技术单位与 BOM 成本的结合 (System level combines unit with BOM cost)



# 在20nm继续领先一代



第二代



➤ 28nm 第一代  
All Programmable 器件

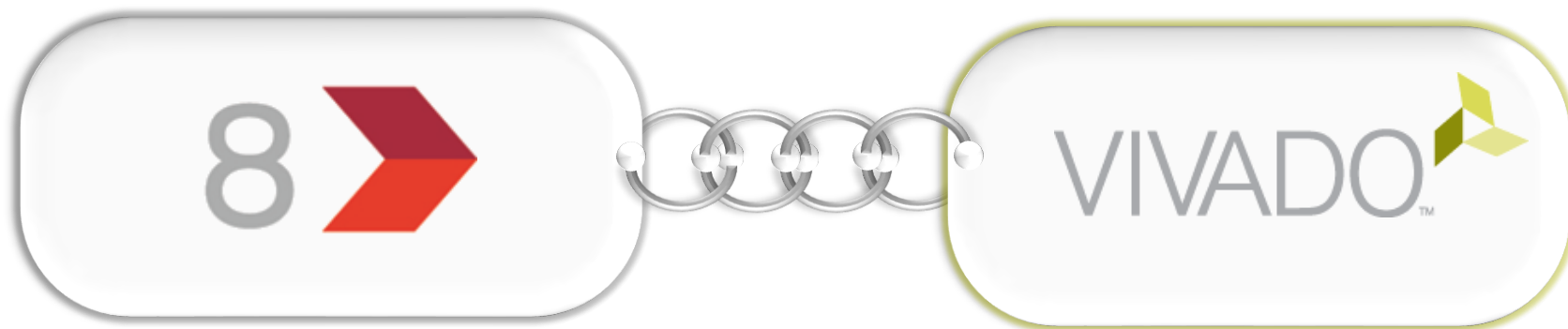
➤ 20nm 第二代  
All Programmable 器件

# 针对更高性能、更低功耗和更高集成度而协同优化

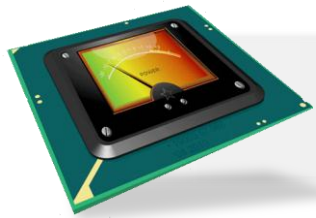
## 从头同步构建!

All Programmable 器件

下一代设计工具



# 满足20nm节点的市场需求



Nx100G 有线网络  
Port-Per-Board-Per-Dollar



多通道无线射频



高性能功耗比

## FPGA

嵌入式视觉



图像与图像解析相连接  
Imaging Linked to Analytics

数据中心的安全性



数据连接至安全处理  
Data linked to Security Processing

## SoC

Nx100G, 400G 智能



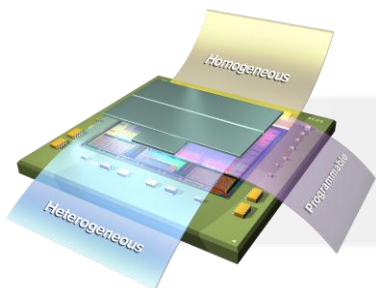
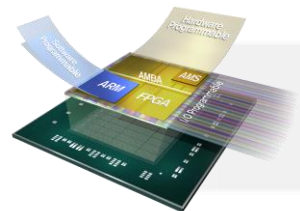
满足下一代协议  
更好的信道质量

数据中心交换机



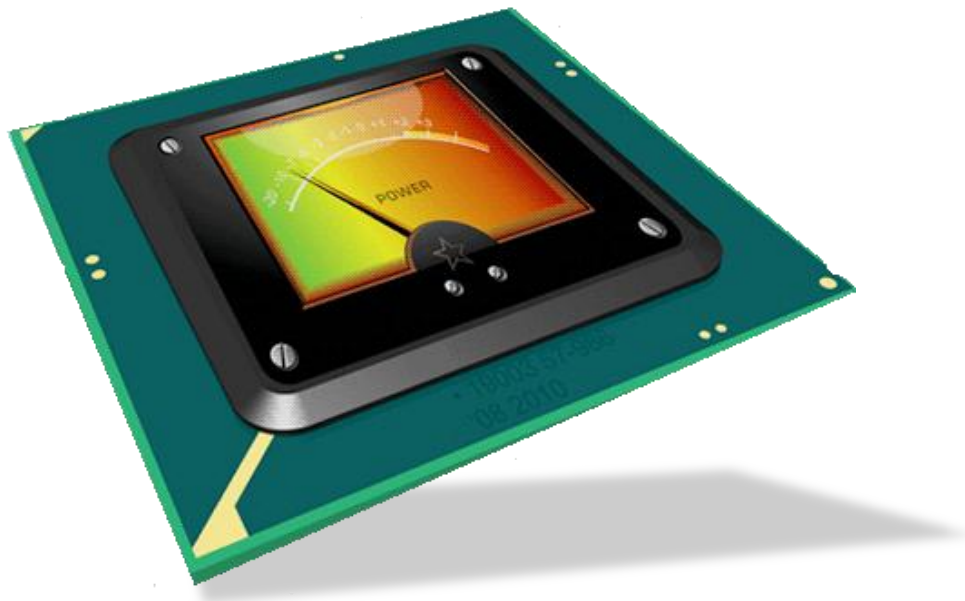
高性能及内存缓冲

## 3D IC



# 下一代FPGA

针对更高性能、更低功耗和更高集成度而协同优化



## ➤ 无与伦比的专为系统优化的收发器

- 最高的信道质量：拥有第二代自动均衡的
- 最高的带宽：拥有100个33Gb/s 收发器 @

## ➤ 性能优化提升2倍

- 更快的 DSP , BRAM (Block RAM) , DDR4 及收发器
- 内存带宽加大2倍

## ➤ 90%以上的布线结构

- 实现更高的带宽总线和更快的设计收敛

## ➤ 功耗优化至减半

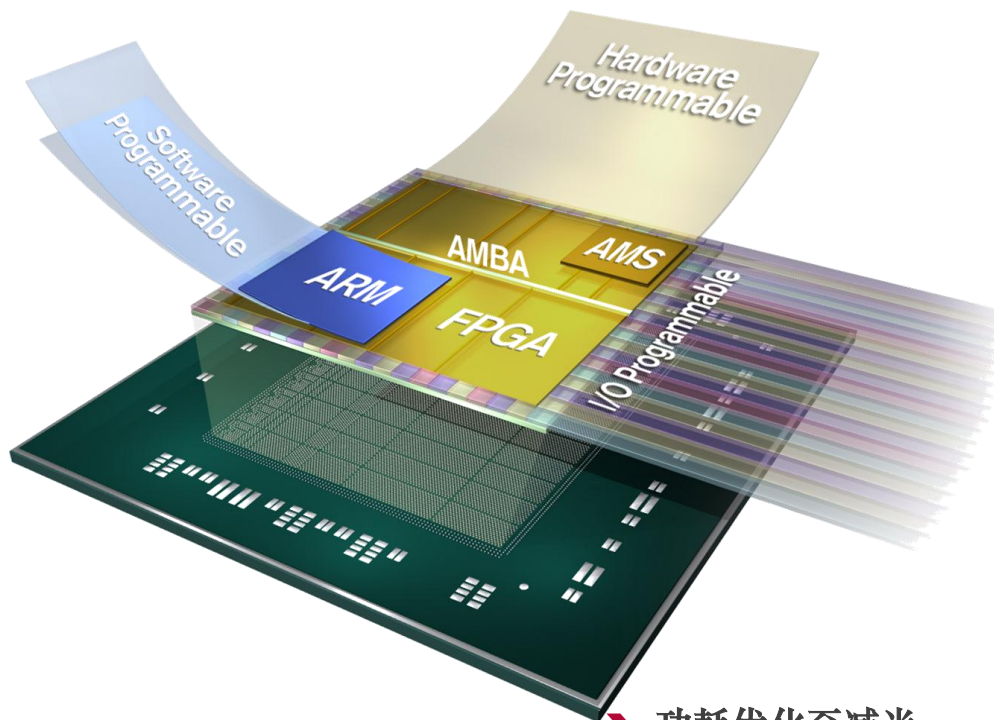
- 优化的性能/瓦 (Optimized performance/watt)
- 下一代模块级的功耗管理

## ➤ 集成度提升和BOM降低 1.5倍

- logic, DSP, BRAM, AMS, VCXO 提升1.5倍

# 第二代SoC

针对更高的性能、更低的功耗和更高的集成度而协同优化



## ➤ 第二代的多核

- 异构 (Heterogeneous) 处理功耗
- 高带宽 AXI 接口及安全性

## ➤ 性能优化2倍

- 多核、内存和结构协同优化
- 更高的带宽连接：从处理系统到结构

## ➤ 功耗优化至减半

- SoC 级的功耗管理

## ➤ 集成度增加及 BOM降低2倍

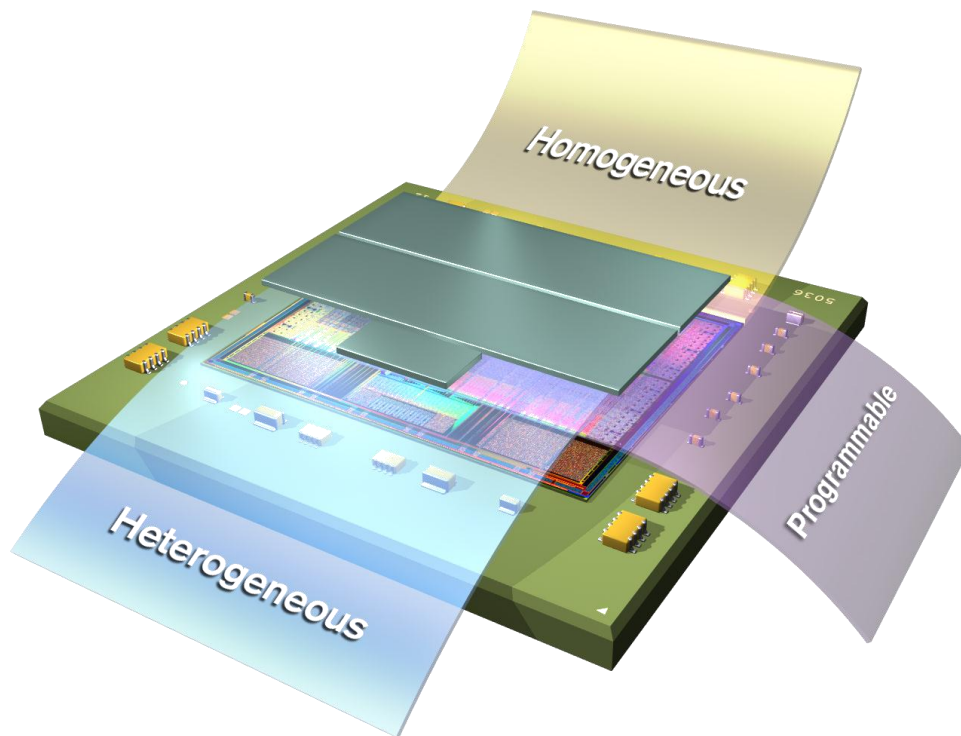
- 多 CPU, DSP, FPGA, AMS
- 经验证的 DSP 和 C 和 RTL中的Video IP

## ➤ 下一代的设计工具

- HLS支持的基于C的软件和硬件
- 强大的生态系统

# 第二代 3D IC

专为更高性能、功耗和集成度而进行了协同设计



## ➤ 同构、异构3D

- 第三代的构造和裸片架构
- 支持更高性能缓冲的丰富的内存

## ➤ 第二代 3DIC 互联

- 裸片之间的互联带宽增加5倍多
- 行业标准的接口

## ➤ 尖端的功能

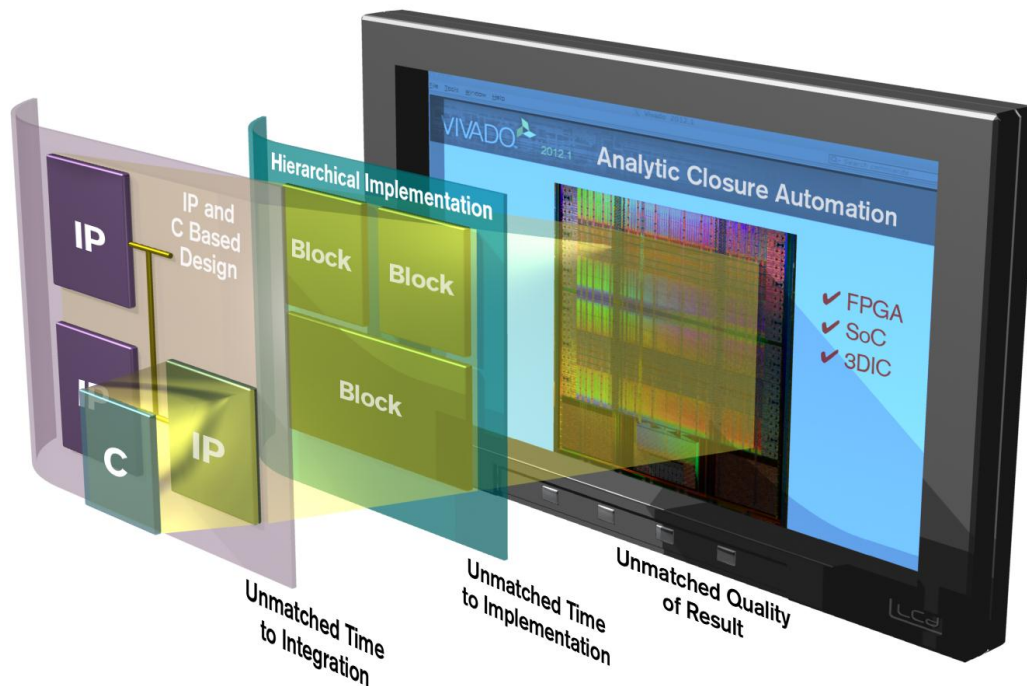
- 支持未来的XCVR 协议 (56Gb/s)

## ➤ 集成度提升和BOM降低 1.5倍

- 逻辑增加1.5倍 (是28nm 单纯的一个芯片的3-4倍)

# 下一代的生产力

无与伦比的集成和实现速度



## ► 集成速度

- C验证速度快100多倍
- C到经验证的RTL速度快4倍多
- RTL方针和硬件协同仿真速度快3-100倍
- IP复用和到IP集成的速度提高4-5倍

## ► 加速实现和提升结果质量 (QoR)

- 设计收敛快4倍多
- 增量ECO 快3倍多
- LUT利用率高20%
- 性能提升3个速度等级
- 平均功耗优势降低约50%

# 继续领先一代

All Programmable FPGA, 第二代 SoC 和 3D IC

➤ 性能加倍

➤ 功耗减半

➤ 生产力提升4倍

➤ 集成提高1.5 – 2倍

➤ 降低20 – 50%的 BOM 成本





谢谢！