

# 基于 System ACE 的 FPGA 全局动态可重配置的研究

赵佳, 黄新栋, 张涌

(中国科学院上海技术物理研究所, 上海 200083)

**摘要:** FPGA 的全局动态可重配置技术主要是指对运行中的 FPGA 器件的全部逻辑资源实现在系统的功能变换, 从而实现硬件的时分复用。提出了一种基于 System ACE 的全局动态可重配置设计方法, 首先介绍 Xilinx System ACE 技术, 详细分析 FPGA 的全局动态可重配置的原理, 使用 System ACE 控制器件和 Compact Flash 卡, 并讨论了其中的若干细节, 然后基于 System ACE 实现了 Virtex-5 系列 FPGA 全局动态可重配置。实验结果表明, 该方法稳定可靠, 可实现 8 种不同比特流的动态配置, 与传统的 FPGA 配置方法相比, 其配置更灵活。

**关键词:** 电子技术; 动态可重配置; System ACE; FPGA

中图分类号: TN409

文献标识码: A

文章编号: 1674-6236(2010)03-0119-02

## Research of FPGA global dynamic reconfiguration based on System ACE

ZHAO Jia, HUANG Xin-dong, ZHANG Yong

(Shanghai Institute of Technology Physics, China Academy of Science, Shanghai 200083, China)

**Abstract:** Technology of Field Programmable Gate Array (FPGA) global dynamic reconfiguration is mainly used to reconfigure its total logical sources at run time, and changes its functions on system, in order to achieve the hardware time-division multiplexing. A method of FPGA global dynamic reconfiguration based on system ACE was presented. Xilinx System ACE technology was introduced firstly, FPGA dynamically reconfigurable principle and some details were discussed in detail, the System ACE controller and Compact Flash card were used in this design as the significant segment, and then Virtex-5 series FPGA global dynamic reconfiguration based on system ACE was implemented. The results of application indicate that the method is steady and reliable, and can implement global dynamic reconfiguration between eight bit files, and more flexible compared with the traditional configuration.

**Key words:** electronic technology; dynamic reconfiguration; System ACE; FPGA

现场可编程门阵列 FPGA (Field Programmable Gate Array) 作为集成电路领域发展最快的一个分支, 兼具 ASIC 电路的高性能和软件编程的灵活性, 在数字逻辑系统中得到了非常广泛的应用。在主流的 FPGA 中, 绝大多数都采用了 SRAM 来存放配置数据, 称为 SRAM FPGA。这种 FPGA 的突出优点是可以进行多次配置, 通过给 FPGA 加载不同的配置数据, 即可令其实现不同的逻辑功能, FPGA 这种可重配置的能力将给数字系统的设计带来很大的方便<sup>[1]</sup>。

FPGA 的可重配置有两种方式: 静态可重配置和动态可重配置<sup>[2]</sup>。静态可重配置系统在它的整个应用运行中不再改变 FPGA 的结构。一般是指在系统(或器件)上电以后, 将存放在 FPGA 外部的非易失性存储器(如 EEPROM)中的配置数据一次性加载到 FPGA 内部的配置存储器 SRAM 中, 在系统运行期间, SRAM 中的配置数据始终保持不变; 当系统再次启动时, 则可以通过加载不同的配置数据来改变 FPGA 的逻辑功能。传统的 FPGA 采用静态配置的方法, 所以在应用它的生命周期中, 其功能就不能再改变, 除非上电重新配置。动态可重配置系统在系统工作运行过程中改变 FPGA 的结

构, 一般指在系统运行期间, 随时可以通过对 FPGA 的重新配置来改变其逻辑功能, 而且并不影响系统其他部分的正常运行。根据可重配置部分的大小可分为全局动态可重配置和局部动态可重配置<sup>[3]</sup>。这里探讨了全局动态可重配置技术, 并详细阐述使用 Xilinx 系统高级配置环境 System ACE (System Advanced Configuration Environment) 实现 Virtex-5 全局动态可重配置的关键问题。

## 1 System ACE 技术

Xilinx 提供系统高级配置环境 (System ACE) 是为了满足多 FPGA 空间有效性、高密度、配置解决方案的需要, 该配置方案仅支持 FPGA 而不支持 CPLD 和 PROM。System ACE 是一种全新的在系统可编程配置解决方案。合理利用此技术可以方便的实现全局动态可重配置, 实现 FPGA 的时分复用, 提高资源利用率。System ACE CF 解决方案包括 System ACE 控制器和普通商用的 CF 卡 2 部分。图 1 所示为 System ACE CF 控制器框图。System ACE 控制器有 4 个接口, 其中 Compact Flash 接口, MPU 接口, Test JTAG 接口都可以通过 Configuration JTAG 接口来配置 FPGA。这里主要采用 Com-

收稿日期: 2009-09-27

稿件编号: 200909095

作者简介: 赵佳(1984—), 男, 河南汤阴人, 博士研究生。研究方向: 红外信号与信息处理。

pact Flash 接口的多个位流配置文件来实现 FPGA 的重配置。Compact Flash 接口兼容标准的 CF 卡(最大 8 GB)和日立的微驱动器件(最大 6 GB)<sup>[4]</sup>。

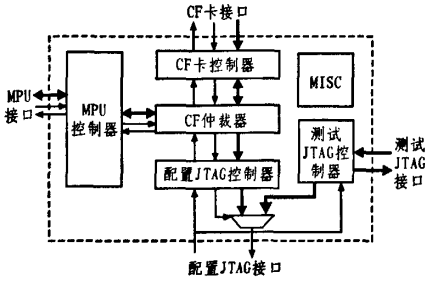


图 1 System ACE CF 控制器框图

## 2 实现动态可重配置的硬件设计及原理

System ACE 和 FPGA 的 JTAG 连接方式如图 2 所示, JTAG 下载线端口连接 System ACE 的 Test JTAG 端, FPGA 的 JTAG 端口连接 System ACE 的 Configuration JTAG 端。使用中 FPGA 选择 JTAG 配置模式。CF 卡存放要配置的位流文件,最多可以存储 8 个不同的位流配置文件,配置文件的选择由地址线 CFGADDR[2:0]决定,3 位地址线可以无冲突的选择配置 8 个配置文件中的一个。

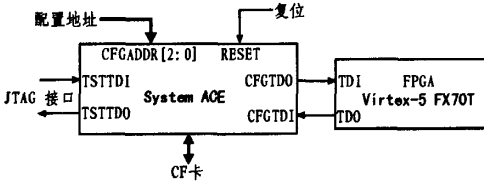


图 2 硬件配置连接框图

当需要对 FPGA 重配置时,只需要调整配置地址线 CF-GADDR 的状态,使其指定相应的配置文件,然后拉低 RESET 管脚,使 System ACE 控制器复位, System ACE 控制器就会按照新指定的配置地址重新读取配置文件并通过 Configuration JTAG 口配置 FPGA<sup>[5-6]</sup>。

实际应用中可以使用用户定义逻辑的可编程逻辑器件 CPLD 通过重配置转移条件来控制 CFGADDR 和 RESET 的状态,自动地实现重配置,也可以使用外部拨码开关,手动控制 CFGADDR 和 RESET 来实现重配置,其配置时序如图 3 所示。

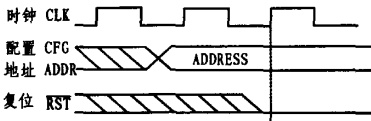


图 3 控制重配置时序图

## 3 实现方法细节

### 3.1 配置文件和配置引导文件

使用 iMPACT 工具中的 System ACE 选项,将指定的 bit

位流文件转化为 .ace 配置文件,同时会自动生成 Xilinx.sys 配置引导文件。其中, .ace 配置文件用来配置 FPGA, Xilinx.sys 配置引导文件用来引导 System ACE 寻找指定的配置文件,其内容(可根据需要自行修改)如下:

```
dir = <dir_name>;
cfgaddr0 = <cfg0_name>;
cfgaddr1 = <cfg1_name>;
cfgaddr2 = <cfg2_name>;
cfgaddr3 = <cfg3_name>;
cfgaddr4 = <cfg4_name>;
cfgaddr5 = <cfg5_name>;
cfgaddr6 = <cfg6_name>;
cfgaddr7 = <cfg7_name>;
```

<dir\_name>是 CF 卡根目录下的文件夹名,系统会进入此文件夹查找配置文件; <cfg0\_name>, <cfg1\_name>……<cfg7\_name>是 <dir\_name>目录下的文件夹名,其中直接存放配置文件,且每个文件夹下只能存放 1 个 .ace 文件。

### 3.2 CF 卡存放文件的目录结构

根据配置文件个数的多少,CF 卡内存放文件的目录结构有以下 2 种:

1) 当存在大于等于 1 个配置文件时,根目录下存放 <dir\_name>文件夹和 Xilinx.sys 配置引导文件, <dir\_name>文件夹下存放 <cfg0\_name>, <cfg1\_name>……<cfg7\_name> 文件夹, <cfgX\_name>文件夹下存放各自的 .ace 配置文件(<cfgX\_name>文件夹也可以为空)。System ACE CF 控制器根据其外部的配置地址(CFGADDR)管脚状态选择 <cfgX\_name>文件夹和配置文件。

2) 当只有 1 个配置文件时,可以直接将 .ace 配置文件存放在 CF 卡的根目录下,不需要 Xilinx.sys 配置引导文件。此模式下,系统缺省直接使用这个 .ace 文件配置 FPGA,忽略外部的配置地址管脚状态。

### 3.3 CF 卡的文件和格式化要求

1) CF 卡分区必须使用 FAT12 或 FAT16 格式化, System ACE CF 控制器不支持 FAT32 文件系统。FAT12 格式下分区容量最大为 16 MB(最多 4 096 个簇,每簇最大 4 KB), FAT16 格式下分区容量最大为 2 GB(最多 65 536 个簇,每簇最大 32 KB)。

2) 每簇的扇区个数必须大于 1, 每个扇区的容量为 128×2<sup>N</sup> 字节(DOS 下 N 取 2)。

3) System ACE CF 文件必须放在 CF 卡第 1 个分区下面。

4) CF 卡第 1 个分区的分区导入记录必须指定为 1 个保留扇区。Windows 2000, Windows NT 和 Windows 98 操作系统下格式化时缺省为 1 个保留扇区,但是 Windows XP 下格式化 CF 卡时会根据 CF 卡的密度自动生成 2~8 个保留扇区。因此, Windows XP 下格式化的 CF 卡不能直接使用,这时可以使用 mkdosfs 工具在 Windows XP 下手动输入指定格式化的参数。

(下转第 123 页)

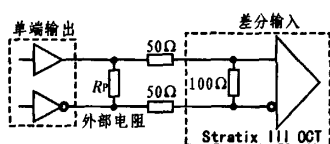


图6 使用单电阻匹配示意图

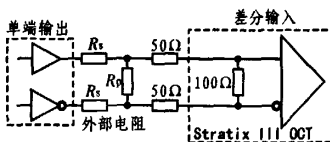


图7 使用3电阻网络匹配示意图

干扰以保证信号的完整性。下面简要介绍LVDS信号传输中为了保持阻抗连续,对PCB上的差分信号布线的一些要求:

1)走平行等距线。确定走线线宽及间距后,在走线时严格按照计算出的线宽和间距,两线的间距要一直保持不变,即保持平行,否则会造成传输线阻抗不连续,产生反射。设计人员可以在DXP软件中使用差分布线的方式绘制差分线,这样只要设置几个简单的参数就能达到该项要求。

2)对于同一对差分走线最好都在同一层<sup>[5]</sup>,并且尽量不要使用过孔,因为在不同层布线时不能保证差分线的间距等于层间介质厚度,会造成层间差分对的差分阻抗变化;过孔会对信号造成反射,影响信号质量,如果非要使用过孔,最好一对差分线都使用过孔,保持一对差分信号的完整性。

3)差分走线尽量保持长度一样,保证两个差分信号时刻保持相反极性,减少共模分量,保证差分信号的连续性。另

(上接第120页)

5)文件名按照FAT8.3格式规范命名,其他的文件和目录可以和System ACE文件和目录共存。

#### 4 结束语

本文给出了一种利用System ACE实现FPGA全局动态可重配置的方法,并详细讨论了实现的技术细节,实验中采用本方法实现了Virtex系列的5VFX70T器件的全局动态可重配置,方案设计合理可靠,达到预定目标。合理使用全局动态可重配置技术可以使FPGA在不同的时间段内,作为不同的硬件电路使用,并且在切换过程中,电路板不需要断电重上电,因此不会影响除FPGA外的其他电路的正常工作。因此,与静态可重配置相比,FPGA的动态可重配置具有更广阔的应用前景。

参考文献:

[1] 贾鹏,李松. FPGA动态可重配置技术[J]. 军事通信技术,

外,两线的间距应该根据实际情况设置,一方面缩短两线的间距能使电磁辐射变小,但是缩短两线的间距会影响到差分阻抗的值,因此,应该适当选择间距。

#### 4 结束语

随着电子技术的飞速发展,人们对数据传输速率有了更高的要求,因此差分信号以它特有的优势得到人们的关注。本文主要介绍了差分信号匹配的基础原理以及如何如何在FPGA中使用片上匹配电阻,并且通过了编译以及布线,缩小了PCB板的尺寸,充分利用了FPGA的性能,同时,通过安捷伦的示波器观察差分信号后发现信号有很好的完整性。

参考文献:

[1] 王诚,吴继华,范丽珍,等. Altera FPGA/CPLD设计(基础篇)[M]. 北京:人民邮电出版社,2005.

[2] 李玉生,洗泽,刘树彬. 关于差分信号匹配的探讨[J]. 测量与设备,2005(10):34-36.

[3] ALTERA. Stratix III Device handbook[EB/OL].2009.[2009-10-02].[http://www.altera.com.cn/literature/hb/stx3/stratix3\\_handbook.pdf](http://www.altera.com.cn/literature/hb/stx3/stratix3_handbook.pdf).

[4] 黄秉顺,李星光,蔡益宇. 传输线阻抗匹配模型及精确计算[J]. 通信技术,2007,40(11):119-120.

[5] 邹力丽,章世华,董湘麟. 高速串行差分信号的PCB设计和仿真[J]. 信息技术,2008(22):23-24.

[6] 宋正勤,谭宝华. 低压差分信号[J]. 长春光学精密机械学院学报,2000,23(2):33-36.

2001,22(2):52-54.

[2] 陶杰. FPGA局部动态可重配置的研究[J]. 电子科技,2009,22(4):36-38.

[3] 覃祥菊,朱明程,张太钺,等. FPGA动态可重构技术原理及实现方法分析[J]. 电子器件,2004,27(2):277-282.

[4] XILINX. System ACE Compact Flash solution datasheet[EB/OL]. (2008)[2009-09-20].[http://www.xilinx.com/support/documentation/data\\_sheets/ds080.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds080.pdf).

[5] XILINX. In-system programming software on global spec[EB/OL]. (2007)[2009-09-20].[http://www.globalspec.com/Industrial-Directory/in-system\\_programming\\_software](http://www.globalspec.com/Industrial-Directory/in-system_programming_software).

[6] XILINX. Configuration quick start guidelines[EB/OL]. (2007)[2009-09-20].[http://www.pa.msu.edu/hep/D0/ftp/run2b/11cal/hardware/component\\_information/xilinx\\_xc9500xl\\_configuration\\_quick\\_start.pdf](http://www.pa.msu.edu/hep/D0/ftp/run2b/11cal/hardware/component_information/xilinx_xc9500xl_configuration_quick_start.pdf).

欢迎订阅 2010 年度《电子设计工程》(月刊)

国内邮发代号:52-142

国际发行代号:M2996

订价:6.00元/期 72.00元/年

# 基于System ACE 的FPGA全局动态可重配置的研究

作者: 赵佳, 黄新栋, 张涌, ZHAO Jia, HUANG Xin-dong, ZHANG Yong  
作者单位: 中国科学院, 上海技术物理研究所, 上海, 200083  
刊名: 电子设计工程   
英文刊名: ELECTRONIC DESIGN ENGINEERING  
年, 卷(期): 2010, 18(3)  
被引用次数: 0次

## 参考文献(6条)

1. 贾鹏, 李松. [FPGA的动态可重配置技术](#)[期刊论文]-[军事通信技术](#) 2001(2)
2. 陶杰. [FPGA局部动态可重配置的研究](#)[期刊论文]-[电子科技](#) 2009(4)
3. 覃祥菊, 朱明程, 张太镒, 魏忠义. [FPGA动态可重构技术原理及实现方法分析](#)[期刊论文]-[电子器件](#) 2004(2)
4. XILINX. [System ACE Compact Flash solution datasheet](#) 2009
5. XILINX. [In-system programming software on global spec](#) 2009
6. XILINX. [Configuration quick start guidelines](#) 2009

## 相似文献(2条)

1. 期刊论文 刘彬, 赵明生. [基于FPGA的动态可重配置短波收发机](#) -[电子技术应用](#)2009, 35(10)

使用基于模块化的动态部分重配置技术, 构建了基于FPGA的动态可重配置软件无线电系统平台, 并在该平台上设计了动态可重配置MIL-STD-188-110B短波收发机系统. 与传统的全局静态重配置系统相比, 动态可重配置系统扩展性好, 配置速度快, 用于存储配置比特流所需的空间较少, 配置控制方式比较灵活.

2. 学位论文 王爽. [可重配置系统研究及其在图像处理系统中的应用](#) 2007

近年来, 随着微电子技术、计算机技术的发展, 尤其是大规模高性能的可编程器件的出现, 以及软硬件设计方式和设计工具上的改进, 动态可重配置技术逐渐成为国际上计算系统研究中的一个新热点. 动态可重配置技术的出现使过去传统意义上硬件和软件的界限变得模糊, 让硬件系统软件化. 基于此技术设计的可重构系统在高速数字滤波器、图像压缩、硬件演化计算、定制计算嵌入式系统等方面, 都有着广泛的应用前景.

本文将可重配置技术应用到图像处理系统领域, 并使用Top-Down设计方式进行设计. 与传统图像处理系统相比, 本文开发的系统具有速度快, 并行性高, 可扩展性强等优点. 本文所设计的图像处理系统由图像采集和图像压缩两部分组成, 其中图像采集部分负责接收原始的图像数据; 图像压缩部分负责将接收的图像数据进行压缩.

本文以高性能、低功耗的FPGA作为核心部件, 利用FPGA的可编程以及控制逻辑实现方式灵活等特点, 设计出图像处理系统. 当给系统上电后, FPGA芯片会对视频芯片(SAA7113)进行初始化配置. 随后, 开始工作的视频芯片会将接收到的模拟信号转换成数字信号并发送给FPGA, 接收到的数据会被保存到FPGA内部的RAM中, 并通过串口将接收完全的一张图像的数据传送给上端的PC. 最后, PC会对图像进行JPEG压缩处理, 形成最终的图片.

论文给出了整个系统的详细设计方法, 通过使用几个典型的测试案例, 对系统进行了验证, 结果表明该系统工作时性能稳定, 采集到的图像数据精准, 无失真. 最后, 本文对该系统进行了总结, 并对其未来的发展和应用进行了展望.

本文链接: [http://d.wanfangdata.com.cn/Periodical\\_dzsjgc201003042.aspx](http://d.wanfangdata.com.cn/Periodical_dzsjgc201003042.aspx)

授权使用: 黄小强(wfxadz), 授权号: 54cff9c9-d5d6-4ad8-8719-9dd30187c08c

下载时间: 2010年8月15日