



500MHz高性能数字信号处理设计

George Wang (王宏强)

Xilinx DSP Specialist

Author: George Wang		Date
Document Revision:		Page 1 of 12

Revision: 1.0

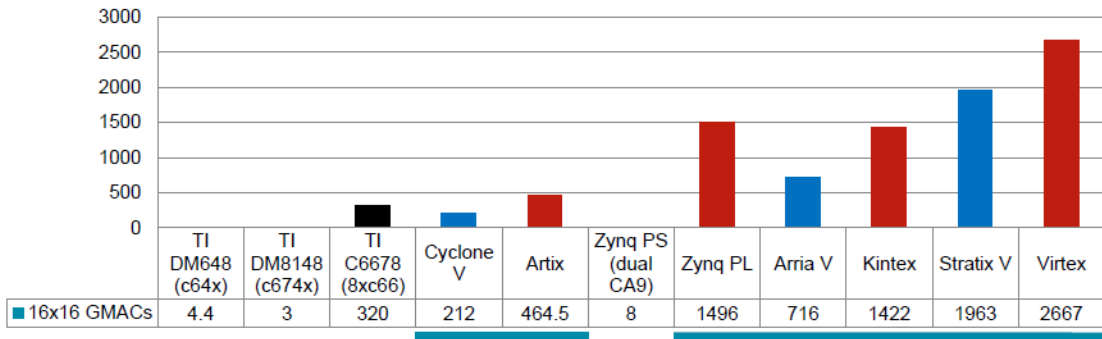
Table of Contents

1	XILINX 28 NM性能领先的DSP48	3
2	业界最先进的DSP 模块 ARTEX-7, KINTEX-7, VIRTEX-7, ZYNQ-7000.....	4
3	7-系列 DSP48 详细框架图.....	5
4	尽量使用DSP48级联(不需要外部逻辑)实现FILTER	6
5	复数乘法, 乘累加的高速设计	7
5.1	DSP48 可以被高效的利用于复数乘法	7
5.2	全流水的复数乘法	7
5.3	非全流水的复数乘法.....	7
6	四舍五入的高速设计.....	8
6.1	TRUNCATION.....	8
6.2	SYMMETRIC ROUNDING (TOWARDS INFINITY).....	8
6.3	CONVERGENT ROUNDING (TOWARDS EVEN).....	8
7	CONVERGENT/SYMMETRIC 四舍五入.....	9
	DSP48高效地支持SYMMETRIC & CONVERGENT 四舍五入	9
7.1	SYMMETRIC ROUNDING	9
7.2	CONVERGENT ROUNDING.....	9
8	7-系列 500MHZ高速设计技巧	10
8.1	FILTER 架构优化.....	10
8.2	DSP48.....	10
8.3	BRAM.....	10
8.4	控制	10
8.5	逻辑	10
8.6	高位宽加法器, 比较器, 计数器	10
9	例子	11
9.1	数字中频设计在7K160T-2.....	11
10	参考文档.....	12

Author: George Wang		Date
Document Revision:		Page 2 of 12

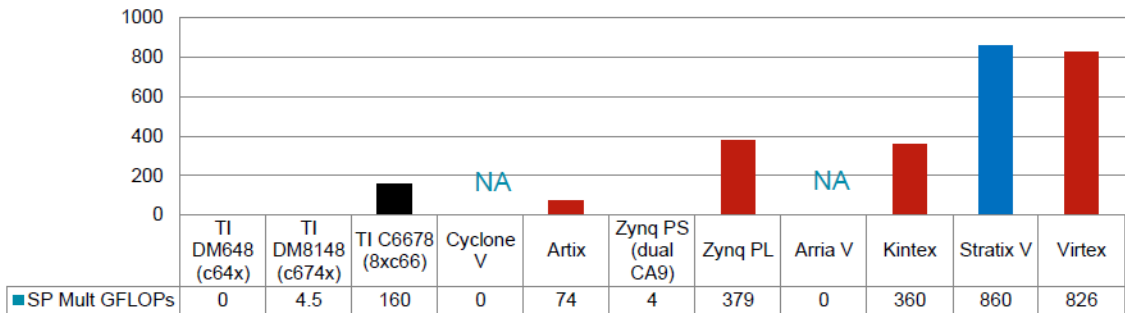
1 Xilinx 28 nm性能领先的DSP48

16x16 GMACs



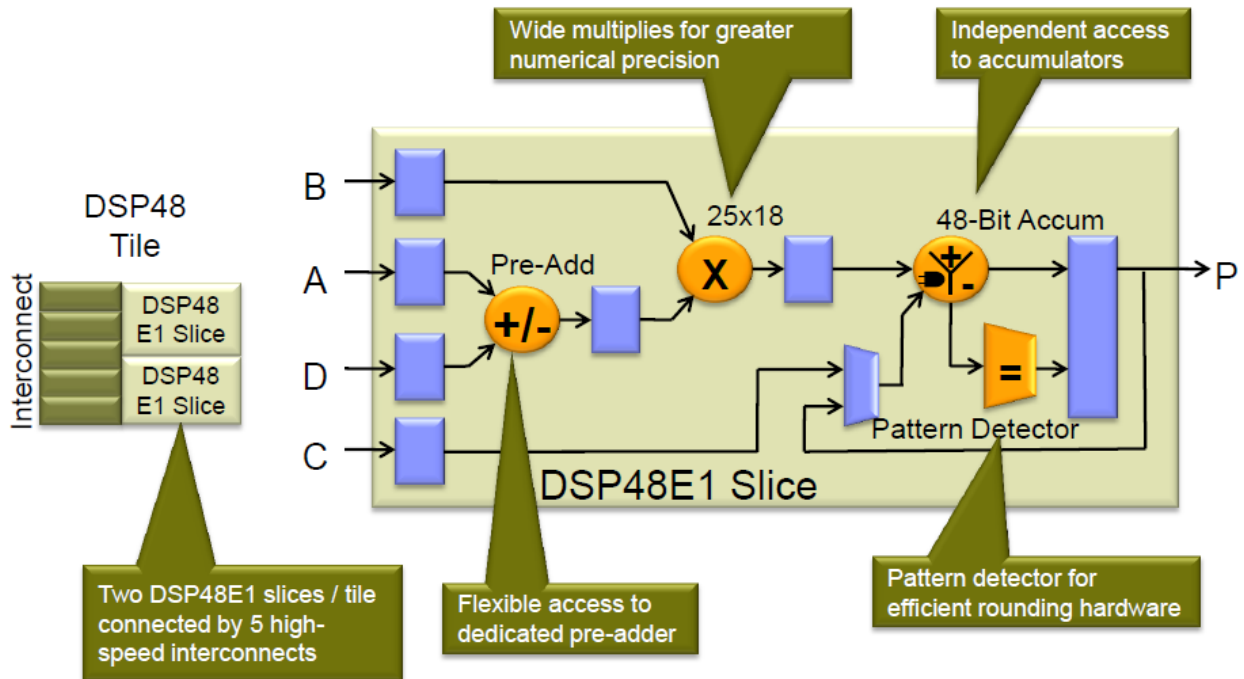
Hard pre-adder effectively doubles GMACs for Symmetric Filters

SP Mult GFLOPs



Author: George Wang		Date
Document Revision:		Page 3 of 12

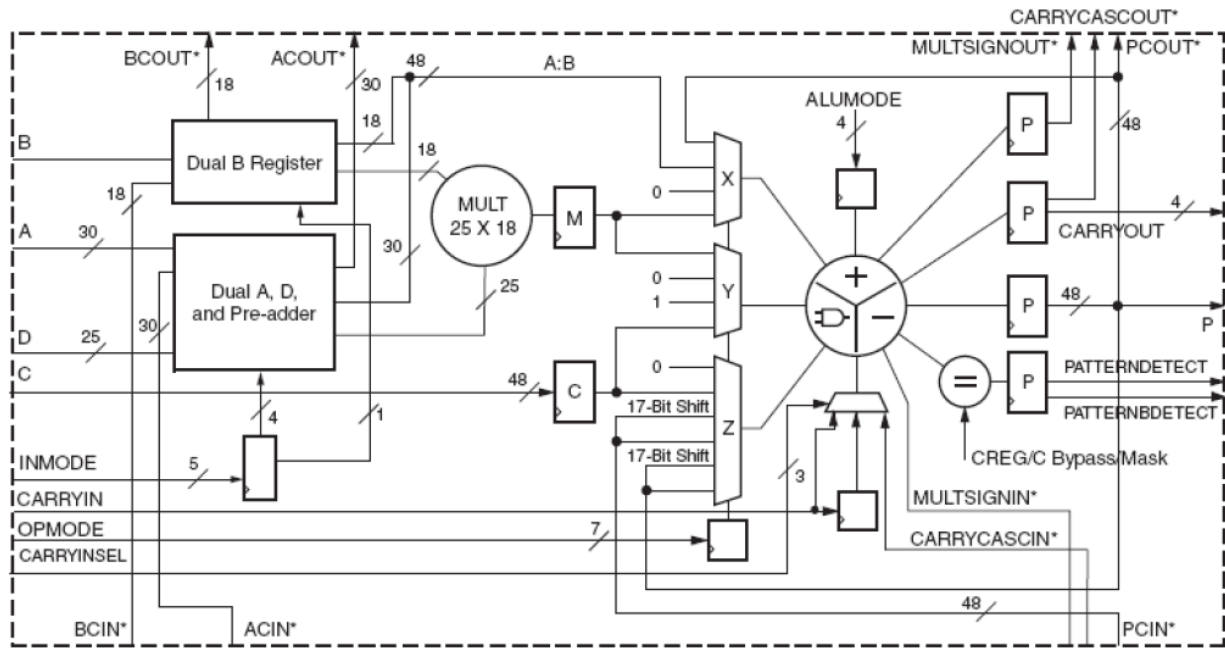
2 业界最先进的DSP 模块 *Artex-7, Kintex-7, Virtex-7, Zynq-7000*



Resources per Family	Artix	Kintex	Virtex	Zynq
Max DSP48E1 Fmax	628 MHz	741 MHz	741 MHz	741 MHz
Max DSP48E1 Count	740	1920	3600	2020

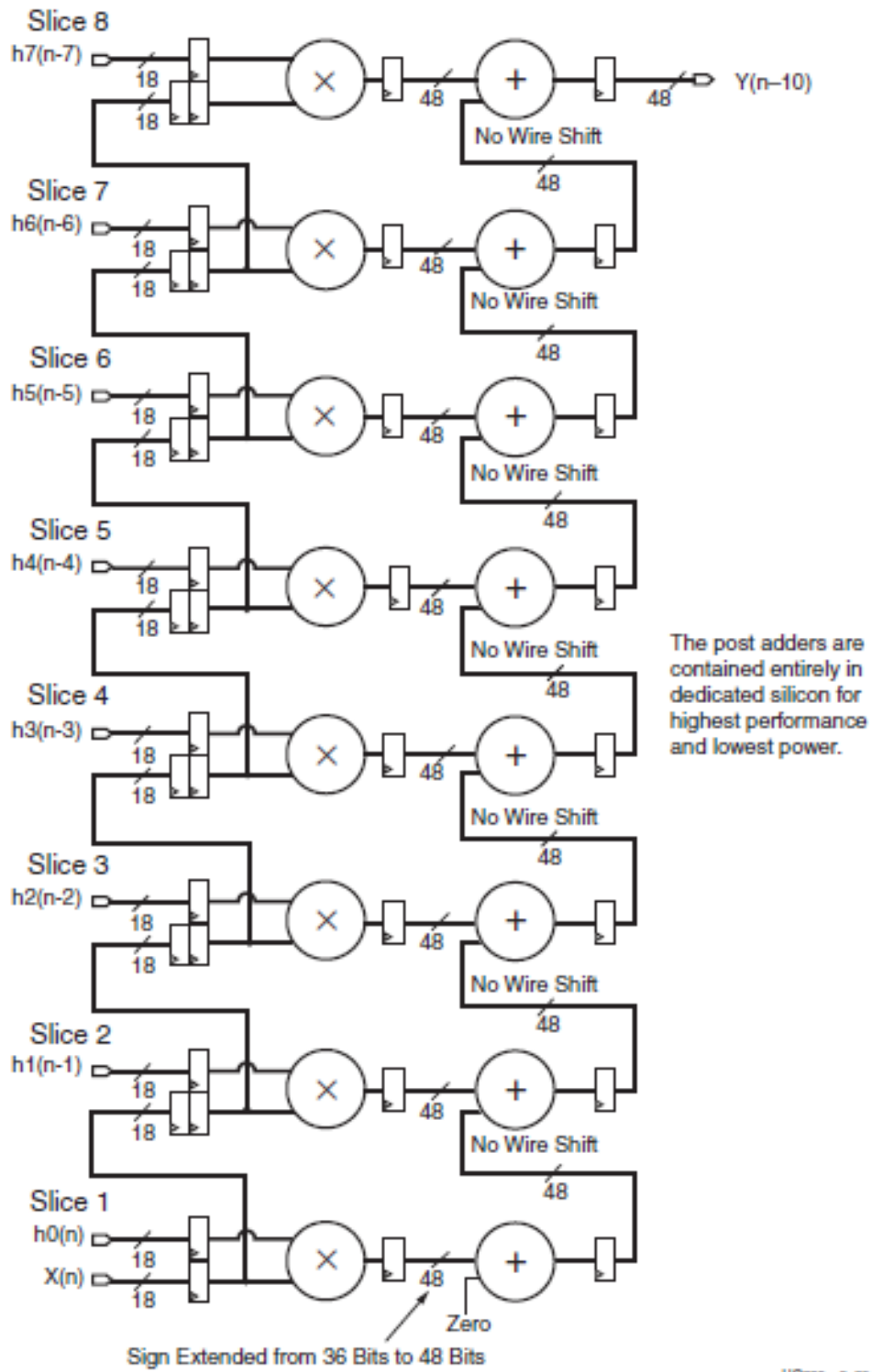
Author: George Wang		Date
Document Revision:		Page 4 of 12

3 7-系列 DSP48 详细框架图



Author: George Wang		Date
Document Revision:		Page 5 of 12

4 尽量使用DSP48级联(不需要外部逻辑)实现filter



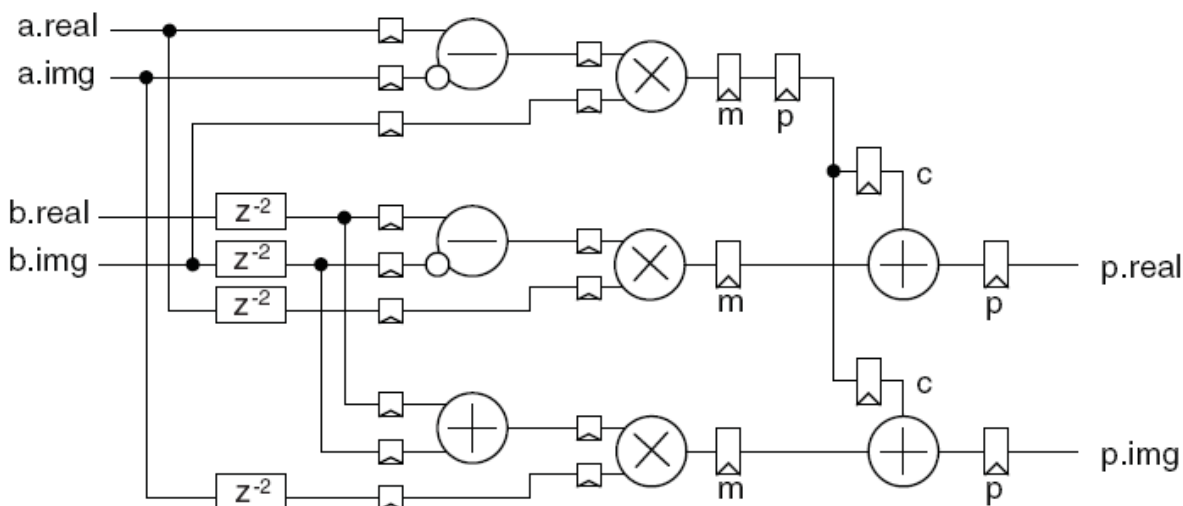
Author: George Wang		Date
Document Revision:		Page 6 of 12

5 复数乘法，乘累加的高速设计

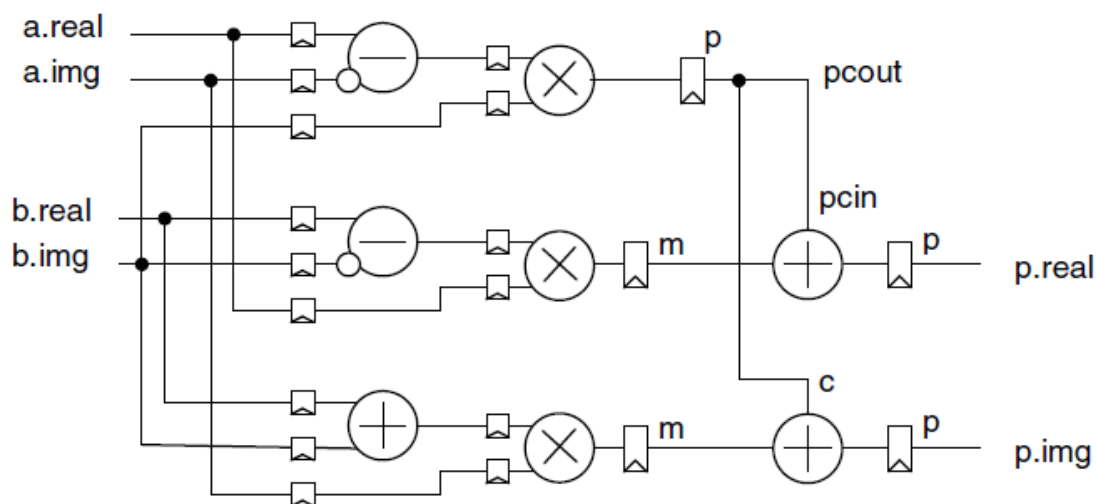
5.1 DSP48 可以被高效的利用于复数乘法

- 用 3 DSP48s 计算 $(A+jB)*(C+jD)$
 - $P1 = C*(A+B)$
 - $Re = P1 - B*(C+D), Im = P1 + A*(D-C)$
- 用外部的 Registers/SRL 做全流水设计
 - 对500MHz 的设计，建议这样使用

5.2 全流水的复数乘法



5.3 非全流水的复数乘法



UG389_c2_06_052609

Author: George Wang		Date
Document Revision:		Page 7 of 12

6 四舍五入的高速设计

通常有3种四舍五入方案

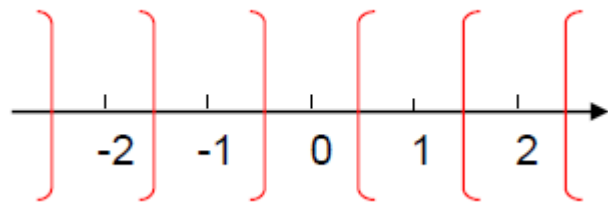
6.1 Truncation

- 简单地去除LSBs (Matlab中的“floor”)



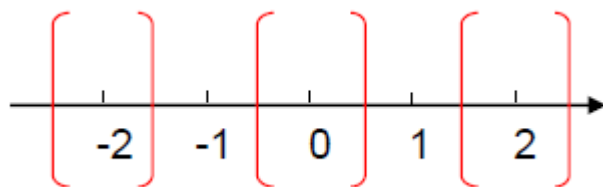
6.2 Symmetric rounding (towards infinity)

- 如果 $x \geq 0$: 加0.5 (0000.1000) 并去除LSBs
- 如果 $x < 0$: 加0.4999 (0000.0111)并去除LSBs
- FPGA实现: $x + 0000.0111 + x$ 最高位的取反
- Matlab 中的“Round”



6.3 Convergent rounding (towards even)

- 四舍五入到最近的偶实数
- FPGA实现:
 - 加0.5 (0000.1000)并去除LSBs
 - 将 LSB 置 0 for mid-points
 - Mid-point pattern after addition : xxxx.0000



Author: George Wang		Date
Document Revision:		Page 8 of 12

7 Convergent/Symmetric 四舍五入

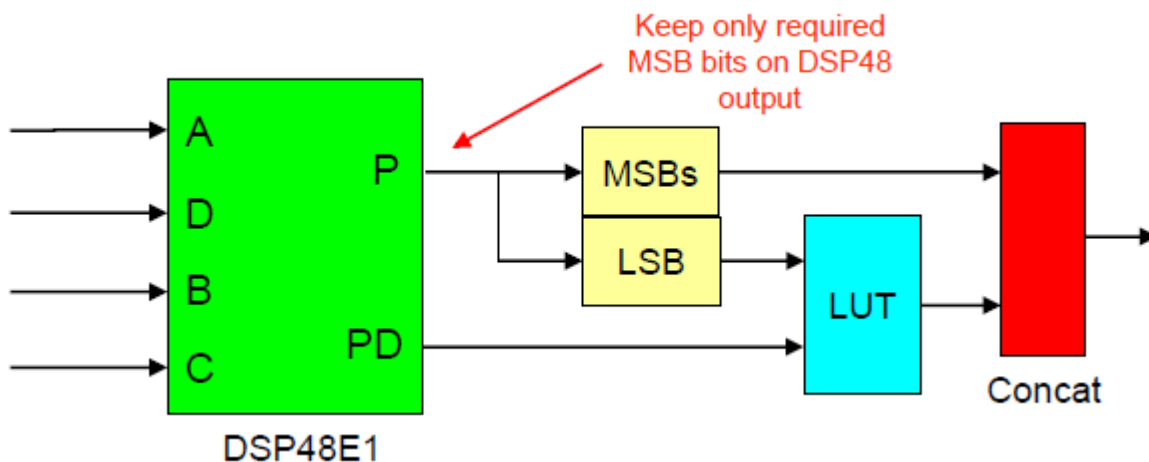
DSP48高效地支持Symmetric & Convergent 四舍五入

7.1 Symmetric rounding

- 可用于DSP48乘法输出的四舍五入，但需输出的符号位作加法器的carry输入
- 不可以在同一个时钟里对DSP48的累加输出四舍五入
- C 端用作四舍五入常数
- 在Xilinx 7 系列 -2 器件中可以达到500MHz

7.2 Convergent rounding

- 利用pattern detector, 通过C 端用作四舍五入常数
- 因为不需要符号位，可以在同一个时钟里对DSP48的累加输出四舍五入
- 在Xilinx 7 系列 -2 器件中可以达到500MHz



Author: George Wang		Date
Document Revision:		Page 9 of 12

8 7-系列 500MHz高速设计技巧

8.1 Filter 架构优化

- 多通道filter架构好于多周期， 即并行filter好于半并半串filter

8.2 DSP48

- DSP48内部必须全流水设计
 - 没有用到DSP48预加时， 延3 拍
 - 用到DSP48预加时， 延4 拍

8.3 BRAM

- 必须打2拍全流水
- Read-First mode 达不到500 MHz， 必须使用Write-First mode
- 例化BRAM时， 尽量少的数据复用

8.4 控制

- 尽量少少的 CE, RST, 避免大的fanout, CE, 全局RST
- 对所有带CE, RST的控制信号寄存打拍
- 建议同步高复位
- 对CE nets 打拍

8.5 逻辑

- 7-系列有大量的FF, 充足的流水可以用
- 尽量将LUTs做到1-2 级逻辑
- 在层次模块之间, 使用多级流水
- 对位宽大于20bits的加法器作流水设计
- 建紧凑的设计有利于工具后续的布线

8.6 高位宽加法器, 比较器, 计数器

- 在DSP48充余的情况下, 可以使用DSP48实现高位宽的加法器, 比较器, 计数器等

Author: George Wang		Date
Document Revision:		Page 10 of 12

9 例子

9.1 数字中频设计在7K160T-2

- 功能模块
 - DUC/DDC
 - Farrow 滤波器
 - DPD数字预失真非线性滤波器
 - 复数均衡器
- 达到了495 MHz
 - 3 area groups (1 per instance)
- 资源使用:
 - 42% LUT
 - 35% FF
 - 60% slices
 - 70% DSP48
 - 45% BRAMs

Author: George Wang		Date
Document Revision:		Page 11 of 12

10 参考文档

- High Performance Radio Design – Xilinx Factory
- UG479 – Xilinx User Guide
- UG389 – Xilinx User Guide

Author: George Wang		Date
Document Revision:		Page 12 of 12