



**常见问题：切勿于 2013 年 7 月 10 日前发布**

## **Xilinx 采用首个 ASIC 级 UltraScale 可编程架构之首款 20nm All Programmable 器件开始投片**

### **1. 赛灵思将在 2013 年 7 月 10 日宣布推出什么产品？**

赛灵思宣布 20nm 两项新的行业第一，延续 28nm 工艺节点上一系列业界创新优势：

- 赛灵思宣布开始投片半导体行业首款 20nm 器件以及投片 PLD 行业首款 20nm All Programmable 器件。
- 赛灵思新的 20nm 器件采用了行业首款 ASIC 级可编程架构——UltraScale™架构。

### **2. 赛灵思提出的在 28nm 工艺上“领先一代”指的是什么意思？**

对于 28nm 工艺，赛灵思并不是简单地将传统 FPGA 移植到新的工艺节点上，而是设计出了大量 FPGA 创新技术并率先推出了业界首款商用 All Programmable 3D IC 与 SoC。这代器件产品已被数百家用户的终端应用所采用。赛灵思在突破性技术的推出与客户推广方面一直领先于竞争对手多年，并因此而受益。

### **3. 赛灵思提出的“继续领先一代”是指什么？**

凭借 UltraScale 架构的推出，我们将继续保持在 28nm 工艺上多年领先竞争对手的优势。通过结合台积电的尖端技术并与 Vivado®设计套件实现协同优化，赛灵思的 UltraScale 架构可以提供 1.5 倍至 2 倍的系统级性能和集成度。

### **4. 什么是 UltraScale 架构？**

UltraScale 架构在完全可编程架构中应用尖端的 ASIC 技术，能从 20nm 平面 FET 扩展至 16nm 鳍式 FET 甚至更先进的技术，并可从单芯片电路扩展为 3D IC。UltraScale 架构不仅可以解决系统总吞吐量扩展和时延方面的局限性，而且还能直接突破高级节点上的头号系统性能瓶颈，即互连问题。

### **5. ASIC 级 UltraScale 架构能为赛灵思 FPGA、3D IC 和 SoC 带来哪些优势？**

该架构在布线、类似 ASIC 的时钟分布、增加 CLB 逻辑、控制集功能以及关键路径优化方面具有明显的优势。这些增强功能可以满足客户更高性能设计在海量数据流、I/O 带宽以及实时数据包、DSP 和图像处理等方面的要求。UltraScale 架构创新技术与 Vivado 设计套件结合使用，将在不降低性能的前提下实现 90% 以上的器件利用率。

首批 Kintex®和 Virtex® UltraScale 器件的推出将进一步扩展赛灵思的 All Programmable 产品系列。

## 6. UltraScale 架构的目标应用是什么？

基于 UltraScale 架构的 FPGA 将支持新一代智能系统，满足其新的高性能架构要求，这些应用包括：

- 带智能包处理和流量管理功能的 400G OTN
- 带智能波束形成功能的 4X4 混合模式 LTE 和 WCDMA 无线电
- 带智能图像增强与识别功能的 4K2K 和 8K 显示屏
- 用于智能监视与侦查(ISR)的最高性能系统
- 数据中心使用的高性能计算应用
- 赛灵思网站 Xilinx.com 上列出的其它应用

## 7. UltraScale 器件如何对已有的赛灵思产品组合进行补充？

7 系列和 Zynq-7000 All Programmable 系列在系统性能、能效和成本效率方面都占据行业领先地位。对于很多应用来说，赛灵思 28nm 产品在未来数年内都将成为客户的最佳解决方案。为了支持更快更智能网络以及智能视觉和智能设备不断增长的大趋势，将会涌现出一批需要海量数据流的应用，而且其所要求的性能只有通过赛灵思 UltraScale 架构才能实现。

## 8. 与 Vivado 设计套件进行协同优化的好处是什么？

在引领 28nm 技术的四年中，赛灵思开发出了全新一代设计环境与工具套件，即 Vivado 设计套件。在 20nm 和 16nm 工艺技术方面，赛灵思继续将 FPGA、SoC 和 3D IC 与新一代 Vivado 设计套件实现协同优化。设计人员通过工具、器件和 IP 的同步构建与优化，可在挖掘芯片最大价值和性能的同时缩短设计与实现流程。

## 9. UltraScale 架构如何应对海量数据流挑战？

### • 时钟

UltraScale 架构通过解决时钟歪斜、大量总线布局以及系统功耗管理等基础问题，实现极高的新一代系统速率，有效应对海量数据流挑战。凭借 UltraScale 类似于 ASIC 的多区域时钟功能，设计人员可以将系统级时钟放置在最佳位置（几乎可以是芯片上的任何位置），使系统级时钟歪斜大幅降低达 50%。

### • 布线

UltraScale 新一代互连架构与 Vivado 软件工具进行了协同优化，在可编程逻辑布线方面取得了真正的突破。赛灵思将精力重点放在了解和满足新一代应用对于海量数据流、多 Gb 智能包处理、多 Tb 吞吐量以及低时延方面的要求。通过分析我们得出一个结论，那就是在这些数据速率下，互连问题已

成为影响系统性能的头号瓶颈。UltraScale 布线架构从根本上完全消除了布线拥塞问题。结论很简单：只要设计合适，布局布线就没有问题。

- **功耗**

每代 All Programmable 逻辑器件系列都能显著降低系统级功耗，UltraScale 架构正是建立在这一传统优势之上。低功耗半导体工艺以及通过芯片与软件技术实现的宽范围静态与动态电源门控，可将系统总功耗降低至赛灵思行业领先的 7 系列 FPGA（业界最低功耗的 All Programmable 器件）的一半。

#### **10. 赛灵思的堆叠硅片互连技术（SSIT）带给 UltraScale 3D IC 的附加优势是什么？**

Virtex® UltraScale 和 Kintex® UltraScale 系列产品中的连接功能资源数量以及第二代 FPGA 与 3D IC 架构中的芯片间带宽都实现了阶梯式增长。布线与带宽以及最新 3D IC 宽存储器优化接口容量的大幅增加，能确保新一代应用以极高的器件利用率实现目标性能。

#### **11. 何时推出基于 UltraScale 架构的 FPGA？**

支持 UltraScale 架构 FPGA 的 Vivado 设计套件早期评估 beta 版已于 2013 年 1 季度向客户发布。首批 UltraScale 器件将于 2013 年 4 季度推出。

#### **12. 16nm 产品何时推出？**

随着台积电加快开发进度，计划将于 2013 年晚些时候提供 16nm FinFET 测试芯片，并在 2014 年推出首批产品。

#### **13. 为什么赛灵思使用“UltraScale”，而不是沿用 8 系列命名规则？**

UltraScale 架构代表了 PLD 行业的转折点。采用新工艺节点制造的产品将延伸赛灵思的整体产品系列。对于 PLD 市场，系列编号的增加过去常常代表要向下一个技术节点迁移。UltraScale 架构跨越多个技术节点。基于 UltraScale 架构的器件与 7 系列器件将会并存。

#### **14. Artix、Kintex 和 Virtex 产品名称会受到怎样的影响？**

FPGA 系列的名称将继续在 UltraScale 或以后的技术中沿用。Artix®-7、Kintex-7 和 Virtex-7 FPGA 系列的命名会保持不变。对于 20nm 和 16nm 工艺，相应的器件命名方式为 Kintex UltraScale 和 Virtex UltraScale。