

WP451 (1.0版), 2014年5月1日

# 新一代UltraScale架构的降耗技术

作者: Srinivasa Kolluri

*Xilinx 的UltraScale™ 器件进一步降低了功耗, 并在架构上实现了前所未有的创新, 这使其成为众多新一代应用的首选。*

全球互联社区要求逻辑器件进一步小型化, 而且能以更高速度支持更高带宽, 同时要求这些器件进一步提高功率效率, 也就是必须以更低功耗、更高速度传输更多数据。

为了满足上述要求, 赛灵思开发了全新的电源管理技术, 并将其实现在真实的UltraScale™ 器件中, 能够以超低功耗和高效率传输前所未有的超大数据量, 每秒达Tb级, 这在几年前还是完全不可想象的。

设计人员现在能用基于业界首款ASIC级可编程架构的Kintex® UltraScale和Virtex® UltraScale内置的增强型功耗降低技术满足革命性的市场要求。UltraScale架构的设计从20nm平面技术扩展到16nm FinFET乃至更高技术, 能为已经非常成功的架构平台提供丰富的创新型功耗降低技术。UltraScale架构与Vivado®设计套件协同优化, 使开发人员能够构建出比采用当代技术和解决方案可能实现的更智能、更灵活、更节能的系统。

本白皮书将探索有效管理电源, 降低器件功耗要求, 以及以摩尔定律速度级开发创新新的电源解决方案所面临的种种挑战。

# 引言

经济实惠、功能强大的便携式产品不断发展，推动无线和云端服务的融合。这种融合本身就是未来电信网络流量增长的关键推动力量。云计算和物联网被广泛视为互联网和互联网服务的下一步重大发展方向。许多市场和应用都需要大幅提升系统带宽和处理能力。

- 有线网络解决方案从100 Gb/s多链路向400 Gb/s乃至1 Tb/s演进。
- 数字视频应用的显示格式从1080p向4K（QuadHD）乃至8K（Super Hi-Vision）演进。
- 无线网络从3G向LTE Advanced乃至NxN LTE Advanced演进。

可编程器件的功耗成为器件选择的关键因素。不管着重考虑的是绝对功耗、可用性能、电池使用寿命、热挑战还是可靠性，功耗都是一个核心问题。UltraScale器件通过多重架构增强和创新可轻松解决上述所有问题，首先就是布线、时钟和逻辑结构。

赛灵思不断研究和实现众多不同功耗降低策略，包括工艺改进、架构修改、电压可调产品以及软件功耗优化策略等。在UltraScale器件规划中，要就所有这些策略对静态功耗、动态功耗和I/O功耗的影响进行评估。另外，还要对最新电源技术对实现方案上市时间、性能、软件和晶片面积的影响进行风险评估，这些因素都与成本密切相关。

本白皮书将介绍UltraScale器件的功耗问题，包括赛灵思选择的20SoC工艺、对功耗的有效改进、对所有赛灵思产品系列的作用以及涉及静态功耗、动态功耗和I/O功耗等功耗降低方面的架构创新与特性。

## 静态功耗降低

### 20nm工艺技术

赛灵思和台积电（TSMC）一直开展密切合作，成功推出了备受青睐的高性能低功耗28HPL工艺技术，该工艺展示出了HKMG晶体管技术对可编程器件应用的巨大优势，能创建出基于可扩展优化架构的FPGA。20SoC工艺技术采用第二代后栅极HKMG和第三代SiGe应力技术，能够以更低的功耗实现更高的性能。同样的设计方法也可应用于选择20SoC工艺作为继28HPL之后的20nm工艺节点技术。台积电的20nm工艺技术相对于其28nm工艺技术而言，密度提高1.9倍，速度提升30%。

20SoC工艺的优势是多方面的，因为20SoC是目前20nm工艺节点上密度最高的技术，因此能大幅缩减芯片面积和功耗。该工艺可满足先进制造设计的种种要求，诸如符合双模布局规则要求，从而能够实现高产量。这对需要高性能FPGA的大规模市场来说尤其有益。赛灵思独特的架构和模块级创新也为每个层面带来了功率效率优势。此外，为确保平稳量产推出，20nm UltraScale FPGA还提供可信的功耗估算与优化、模块级功耗优化以及电源管理等特性。

## 电压调节

20SoC工艺内置设计了较大的电压容限，能选择宽泛的 $V_{CC}$ 供电电压范围，从而支持更灵活的功耗/性能策略。

20SoC工艺的功耗优势包括：

- **高性能模式 ( $V_{CC}= 0.95V$ )**：在FPGA典型性能目标范围内，20SoC相对28HP/HPL而言，性能更出色，静态功耗更低。
- **低功耗模式 ( $V_{CC}= 0.9V$ )**：20SoC比28HP的静态功耗减少65%。

20SoC工艺器件的 $V_{CC}$ 容限使赛灵思能选择适当的功耗分布曲线部分，即便在 $V_{CC}$ 降为0.9V情况下也能工作良好。动态功耗在此较低电压水平下也下降约10%。图1给出了这些 $V_{CC}$ 容限设计优化效果的图示。

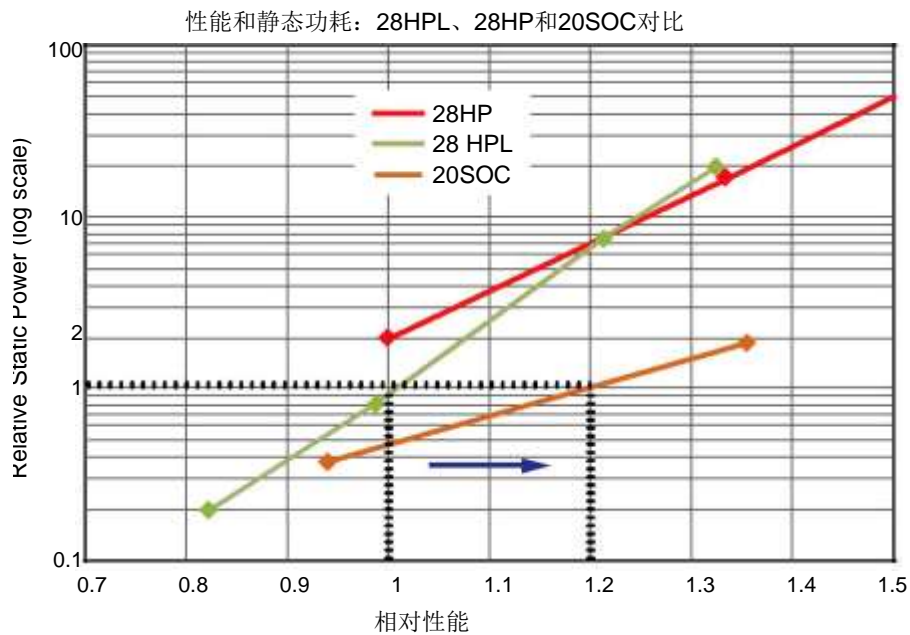


图1：性能与功耗

UltraScale FPGA可在0.95V和0.9V两种核心电压下工作。这类似于Virtex-7器件中率先引入的电源策略。能在0.95V或0.9V电压下工作的FPGA标识为-1L，具体取决于0.95V上的速度级别。其性能与0.95V电压下的-1速度级别一样，类似于0.9V电压下的-1，但L表示该器件能够在低压下工作，具有较低的静态功耗参数。在0.9V电压下，仅FPGA的压降就已足够让静态功耗下降约30%。

通常说来，压降降低会降低性能，但赛灵思对-1L器件的速度和漏电规范进行了比标准FPGA更严格的筛选检查。换言之，赛灵思仅将具有最低漏电流和最高性能的FPGA标识为-1L器件。

这种筛选方法使得最大工艺（最差条件）相对于标准速度级别器件能将功耗降低40%。配电系统应适应最大功率使用，确保供电电源能确保最大工艺条件下支持适当设计功能。因此，赛灵思集中精力努力降低最大工艺的静态功耗。

## 堆叠硅片互联（SSI）技术

采用UltraScale架构的FPGA将借助第二代SSI技术，将性能和功能推到全新的高度。

随着可编程器件容量增大，最大工艺漏电成为一个严重的问题，因为每个晶体管都是一个漏电组件，而部分大型器件中可能包含上十亿个晶体管。大型UltraScale FPGA系采用赛灵思第二代堆叠硅片互联（SSI）技术开发而成。简言之，这种技术使用多个超级逻辑域（SLR）创建单个大型器件。SSI技术的优势之一在于与使用标准单晶片的相同尺寸器件相比，最大静态功耗明显降低。详见图2。

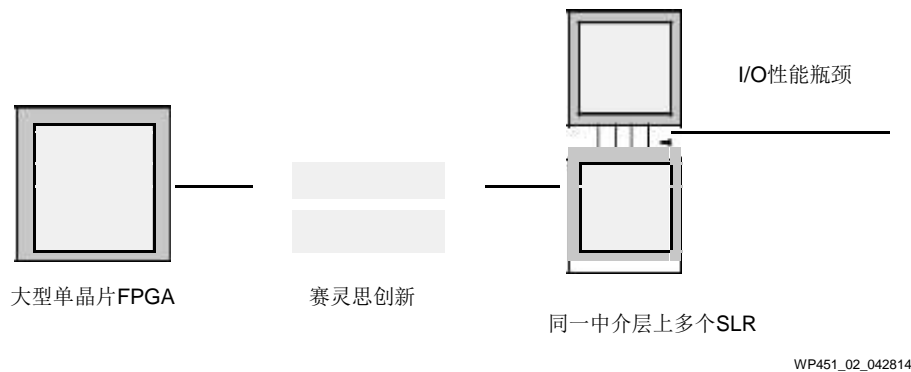


图2：第二代SSI技术

赛灵思决定以后绝不将所有最大工艺漏电的SLR都布置在一个器件中。器件中的一个SLR可能会接近最大工艺漏电水平，但器件中的其他SLR会接近一般水平。结果是与密度相同的单晶片相比，最大工艺漏电水平显著下降。

第二代SSI技术还带来I/O互联功耗的显著下降。如果用规模较小的分立FPGA提供440万个逻辑单元，而不是采用赛灵思SSI技术的器件，需要完成数千次I/O配置，才能在工作带宽上把分立器件连接到一起。采用SSI技术之后，与使用I/O和收发器构建的等效接口相比，I/O互联功耗下降百倍（带宽/瓦）。这种显著下降的原因是所有连接都建立在芯片上，无需耗用功率驱动片外信号。这种设计用低功耗实现了难以置信的高速度。

## 降低动态功耗

为找到合适的低功耗工艺，赛灵思开展了大量的技术和研究工作。不过低功耗并不止是工艺层面的贡献。在20nm节点上，赛灵思致力于从各个角度提高功率效率。赛灵思曾对数十种备选方案的动态降耗幅度及方案实现涉及的风险和所需的时间进行了评估。和通常一样，每种降耗方案都要结合其对性能、成本、设计流程方法和整体进度安排的影响加以评估。许多种方案在赛灵思20nm器件上得到了应用，而且通过这种架构策略，采用UltraScale架构的各个产品系列都具备了低功耗特性。详见图3。

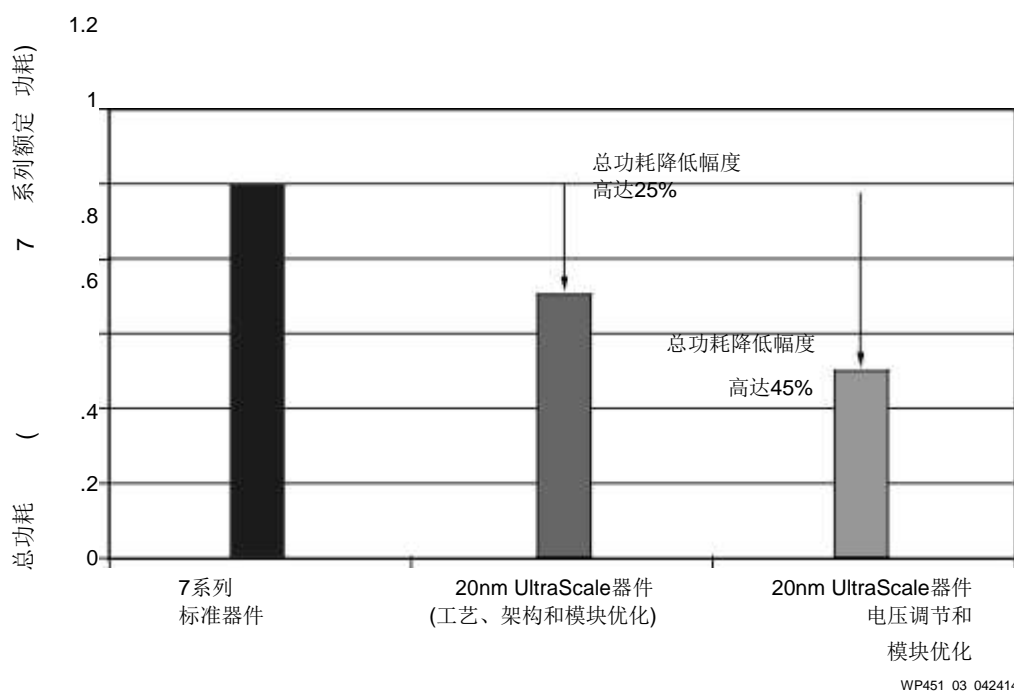


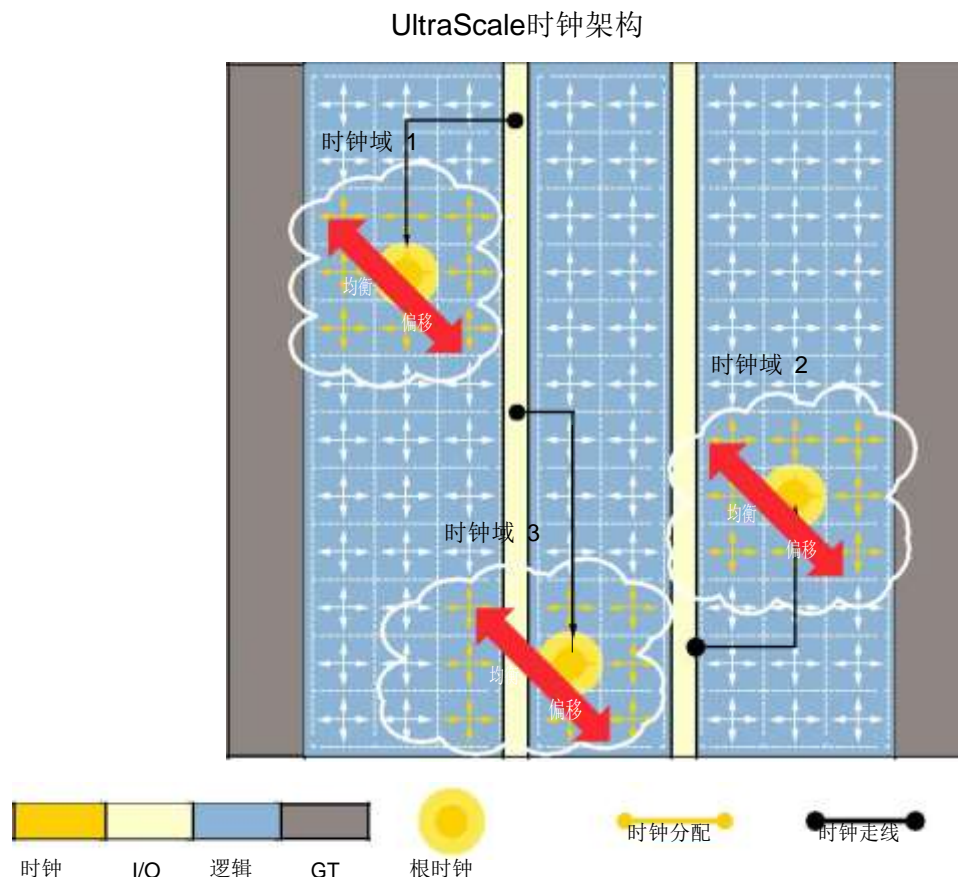
图3: 总功耗降低幅度

## 采用类似ASIC时钟功能降低功耗

UltraScale架构的时钟布线和缓冲经全面重新设计，其灵活性远高于现有FPGA架构。UltraScale架构横向和纵向均有丰富的时钟走线和时钟分配线迹，能够提供数以百计的全局性时钟缓冲。与上一代架构相比，UltraScale架构的全局性时钟缓冲数量要多20多倍，可提供数以千计的布局选项。实质上，时钟网络的“中心”，也就是时钟偏移开始累积的地方，在UltraScale FPGA中可以布局在任何时钟域内。和ASIC一样，时钟网络只需要运行到需要时钟的地方！UltraScale架构提供的时钟网络具有最小的偏移和最高的性能，而且只有将时钟信号从信号源传输到信号终点才需要消耗功率。



采用精细时钟门控技术还可进一步降低时钟动态功耗。当逻辑未使用时，可将时钟驱动器动态门控为OFF。对在较粗时间精度上需要处于ON或OFF的电路部分，可以静态断言该特性。对采用单个时钟周期精度的，也可以动态断言。在赛灵思最大型20mn器件中，除了全局门控时钟，还有数以千计的叶节点可门控时钟（leaf-gateable clock）供客户在设计时使用。



WP451\_04\_042414

图4: UltraScale器件中的类似ASIC时钟功能

大部分时钟树功耗 ( $CV^2f$ ) 实际发生在水平缓存和叶节点时钟层面上，因为这里需要驱动成千上万的负载（例如电容）。在这个层面上实现门控可以大幅降低动态功耗。减少扇出可以降低时钟缓冲功耗，因为缓冲驱动负载数量减少。而且更为重要的是，还可以降低时钟树的功耗。在增加可门控时钟数量的情况下，根据使能率的不同，部分设计可将时钟树功耗降低10%到15%。

## 在设计中减少使用CLB以降低功耗

当时钟和数据信号到达逻辑资源之后，UltraScale架构会提供一个增强型可配置逻辑模块（CLB），以降低总体互联（即走线）长度为目标来最高效率地利用可用资源。在UltraScale架构的设计阶段，赛灵思曾对现有CLB架构的各个方面进行分析，探索如何更有效利用组件。总体而言，得到的增强功能让Vivado®设计套件工具能够在单个CLB中布局更多组件（这些组件往往功能上彼此无关），以打造出更加紧凑的设计。此类设计性能卓越，能够实现最佳整体器件利用率，从而尽可能降低功耗。

CLB结构的大量调整让封装变得更加灵活。每个6输入LUT都与2个触发器结合。每个触发器都有专用的输入输出，让各个组件既能结合使用，又能彼此完全独立使用。触发器还得益于更加丰富和灵活的触发器控制信号，诸如可用时钟使能信号数量翻倍，时钟使能端口和复位端口提供“忽略”选择，可在同一CLB内同时实现高电平有效触发器和低电平有效触发器的复位取反（reset inversion）选择，以及供移位寄存器和分布式RAM功能使用的额外时钟信号。

结合UltraScale架构更多布线资源、高度灵活的时钟架构，CLB连接数量的明显增加实现了紧凑、高性能设计，从而提高了器件利用率。加上更多布线，更紧凑的封装最终可缩短走线长度和走线电容，这一切都有助于降低总功耗。详见图5。

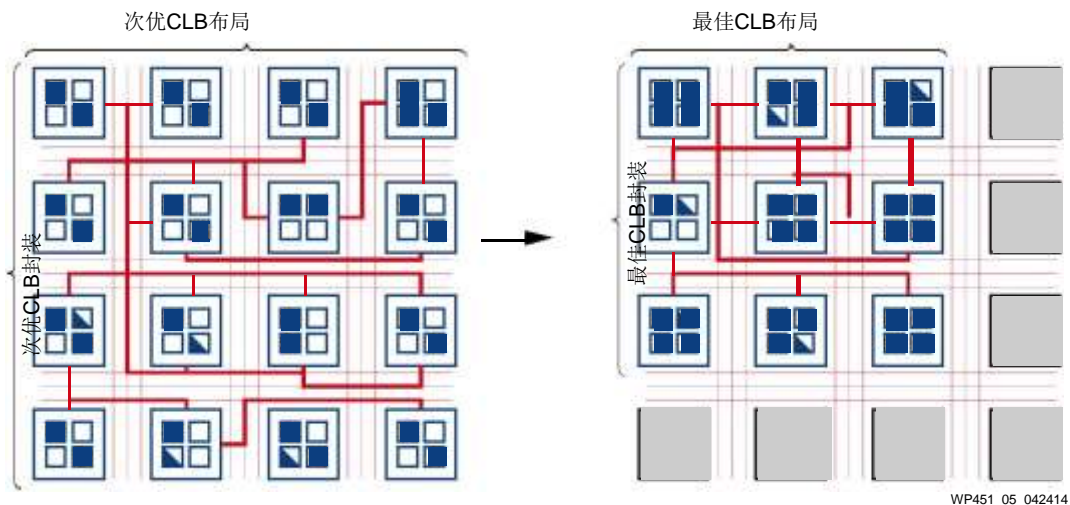


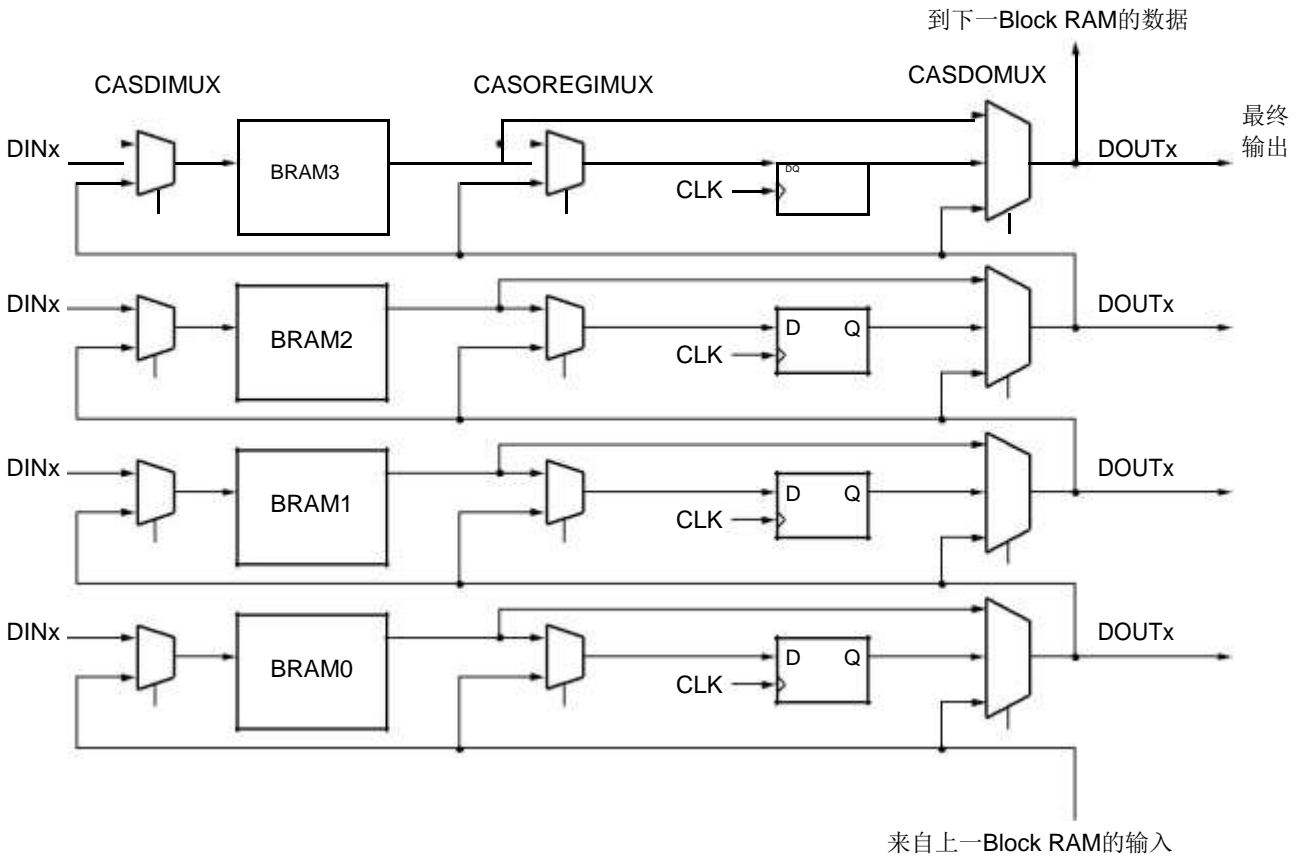
图5：在UltraScale器件中使用最佳封装可节省功耗

## Block RAM的降耗特性

在28nm器件上，赛灵思支持未使用的block RAM的电源门控功能。UltraScale架构也支持未使用block RAM的电源门控功能。Block RAM的静态漏电是器件整体漏电的主要来源，block RAM的任何电源门控功能都有助于降低漏电。

在20nm器件上，只有设计中正使用的模块中的block RAM漏电才会成为问题，不是器件上的所有block RAM都存在漏电问题。软件会负责判断嵌入式存储器是否实例化。当设计加载完成后，只会给已经实例化的存储器供电，断开未使用的block RAM的电源。

Block RAM还支持高速存储器硬化级联特性。Block RAM嵌入式存储器模块拥有专用数据级联布线和输出多路复用功能，能够在满足降低动态功耗需求的情况下更迅速地完成大型block RAM阵列的创建。级联功能可将来自一个36kb block RAM (RAMB36) 的数据级联化，然后串行输入下一个block RAM，从而自下而上地增大存储器深度。数据输出级联特性支持所有RAMB36端口宽度。详见图6。



WP451\_06\_042414

图6: UltraScale Block RAM架构的级联拓扑

可根据需要级联多个block RAM。在级联模式下，所有跨越全部级联block RAM的通用输入都必须连接在一起。该Block RAM非常灵活，能够支持实现多种不同的级联特性。UltraScale器件中的block RAM架构还提供多路复用器，可用以选择数据路径、流水线化寄存器或级联，避免直接数据输入或输出。换言之，该级联特性可通过最大程度地减少任何给定时刻的有源block RAM数量，降低动态功耗。这种一体化级联没有超出block RAM列的范围，可留出器件互联供其他应用使用，且对block RAM的时序不造成影响。具体见图7。



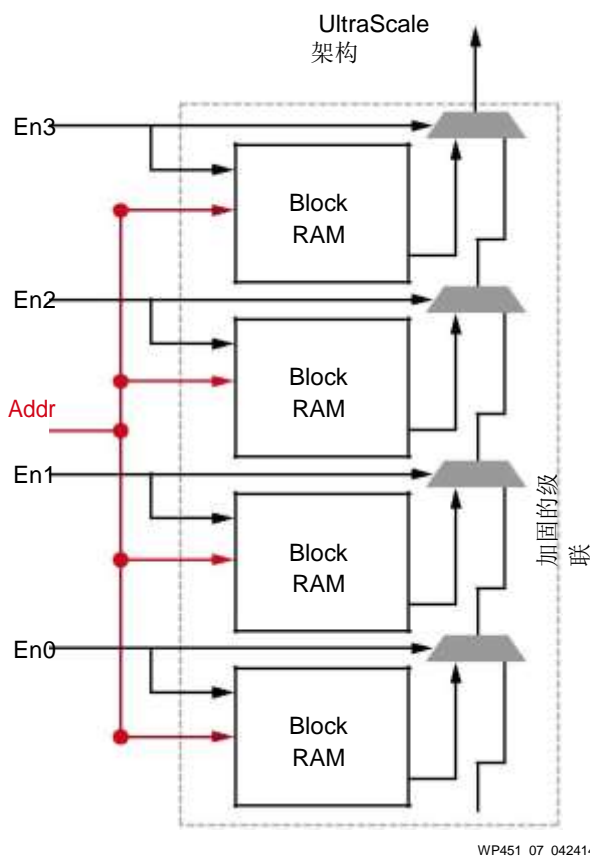


图 7: UltraScale架构中的专用Block RAM级联

其他block RAM架构增强特性包括:

- 供FIFO和多路复用功能使用的专用级联
- 动态功率门控，能够在保留数据的同时让block RAM进入“休眠”模式

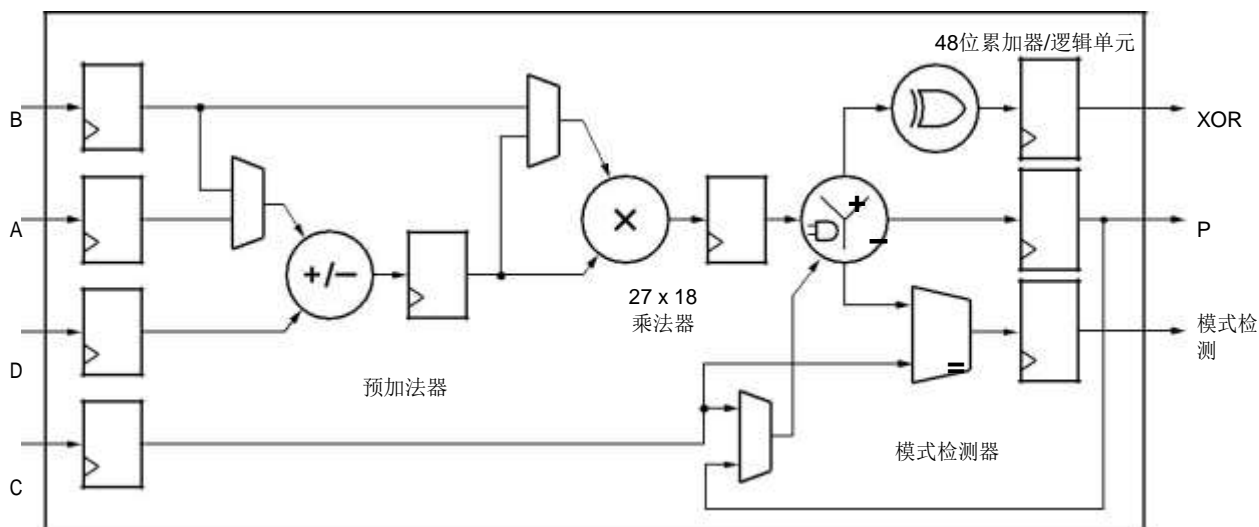
## 用增强型DSP降耗

赛灵思对UltraScale架构中本身具有业界最高性能的Virtex-7 FPGA的DSP Slice进行了重大强化。此次增强在提高数字信号处理速度的同时，减少对DSP模块外的布线或逻辑资源的耗用。DSP Slice运用一系列创新技术，改善了乘法和MACC运算，提升了功能性能，并降低了功耗。

UltraScale架构中的DSP Slice采用27x18位乘法器，能够将比较复杂的功能映射到更少的DSP Slice上。例如使用带有27x18位宽乘法器的UltraScale架构DSP模块实现IEEE Std 754双精度运算，与采用赛灵思7系列器件的DSP模块实现同一功能相比，所使用的DSP模块数减少三分之二。

UltraScale FPGA中的DSP模块通过添加Wide XOR和Wide MUX功能具有显著降耗的特性。这两项功能能够进行96位XOR运算，能够更高效地实现有线设计和宽泛的多路复用功能。实现“复杂乘积累加”（Complex Multiply Accumulate）等功能，所需的DSP Slice的数量只有常规7系列器件的一半，与采用逻辑实现同等设计相比，运行速度更快、效率更高，显著降低了功耗。

这些增强特性可提升性能，降低功耗，减少CLB的使用，释放出更多CLB以实现其它功能。详见图8。



WP451\_08\_042414

图8: UltraScale架构采用的增强型DSP

DSP模块的另一项主要的降耗增强功能是把更多乘法器集成到单个Slice或模块内，减少封装尺寸，降低功耗。正是通过DSP模块增强以及类似的其他创新，UltraScale架构得以同时满足新一代产品的两大应用需求：在提升处理能力的同时降低功耗。

## I/O功耗降低

I/O功耗在器件的总功耗要求中日趋重要。随着可编程器件的发展演进，核心功耗已有显著下降。但直到最近（赛灵思7系列产品系列问世），I/O功耗没有明显降低。特别是在存储器密集型应用中，大量的I/O需求可能会占用设计总功耗预算的一半。赛灵思积极降低7系列FPGA中的I/O功耗。UltraScale器件支持所有I/O降耗特性。

除了采用可编程斜率和驱动强度，HSLVDCI等特殊标准还能从器件间接口和低速存储器接口实现显著降耗。如需谅解更多详情，敬请参见：[WP389](#)《用赛灵思7系列器件降低28nm节点功耗》。

## DDR4解决方案以更低功耗提供高带宽

UltraScale架构可在芯片上支持多个具备DDR3/4功能的SDRAM存储器控制器并内置集成式DDR物理层（PHY）模块，从而将存储器接口功能提高到了全新的高度。参见图9。

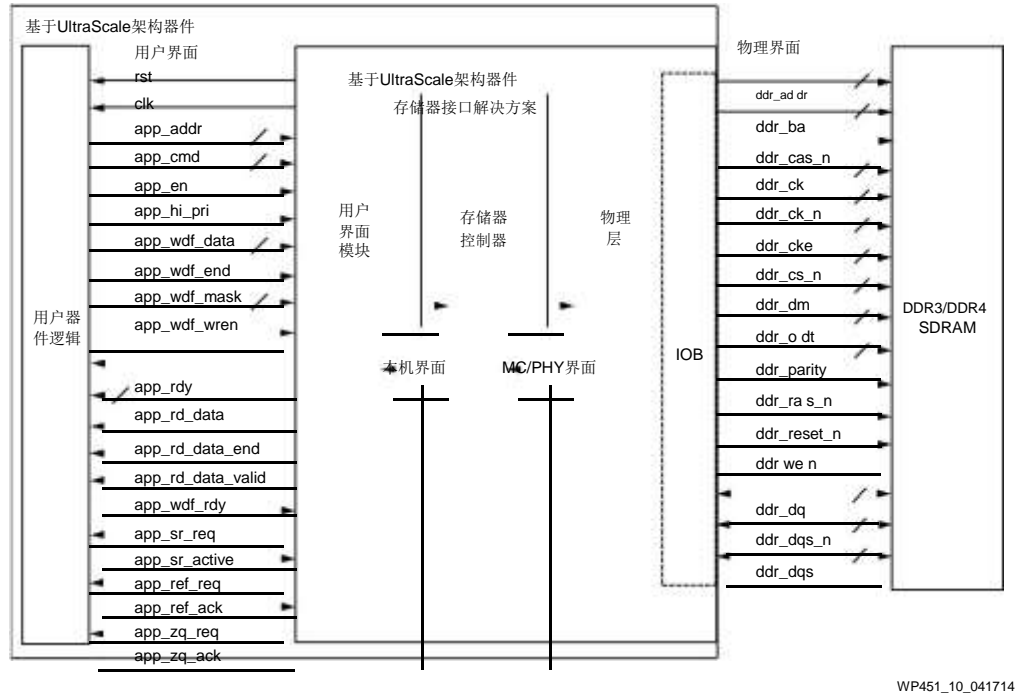


图9: UltraScale架构中的DDR控制器

UltraScale器件中的新型DDR4存储器接口能够提供超过1Tb/s的存储器带宽，可满足视频成像与处理、流量管理和高性能计算等关键应用中新一代尖端系统设计对海量数据流处理、高速处理、大量存储器的需求。同时还可将应用读取时延降低30%，通过从DDR3接口升级到DDR4接口，同一数据率下能够实现显著的节能降耗。

在许多用户设计中，DDR的功耗和性能同样重要。从DDR3升级到DDR4能够给客户带来20%的功耗降低，因为DDR4能够在较低的1.2V电压下工作。如果综合使用I/O、DDR4和集成PHY，还能进一步降低功耗。

DDR4的新型存储器接口使用伪开漏（POD）端接方式，这意味着存储器单元能够在无需耗电的情况下存储逻辑1（高）。POD使用可切换的片上端接，而不是单独的上拉电阻器。这样DDR4模块只有在 $V_{DD}$ 电源下拉到逻辑0（低）的时候才耗电。

另一种降耗方式是数据总线倒置，由逻辑判断是否实际总线状态或其补充状态只需要最低开关水平，从而在每个周期上实现最低总功耗。

此外，DDR4采用更高密度的组件并具有POD I/O及数据总线倒置等低功耗特性，因此相对DDR3或DDR3L而言，能够以更低的功耗提供更高性能，从而更富有吸引力。

## 收发器功耗

赛灵思20nm器件中的收发器已针对高性能和低抖动进行了优化，提供几种低功耗运行特性。为了便于在功耗与性能之间实现平衡，每个收发器都提供一些功耗特性，使用户能够自定义运行灵活性与粒度。基于UltraScale架构的GTH收发器经过重新设计，与7系列FPGA中的GTX和GTH收发器相比能够将总功耗要求削减50%。

UltraScale器件中的收发器提供*低功耗运行模式*。很多非背板应用并不需要消耗额外功率的判决反馈均衡器 (DFE) 电路，因此，赛灵思为设计人员提供了针对其他应用的可选收发器。为节省功耗，设计人员可以关断DFE电路，而使用自身的线性均衡器 (LE)。LE 具有更低的收发器增益并且电路更小，因此功耗比DFE低得多。

集成模块可以最大限度地减少晶体管数量，因此可降低静态功耗，而且对动态功耗的影响也很大。集成模块无需可编程互联，并可缩短走线长度和降低逻辑电平，从而能缩减封装面积和动态功耗。用集成模块替代软IP核最多可将功耗减小10倍。见图10。

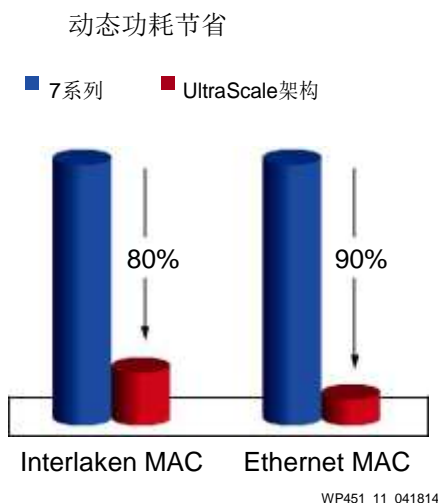


图10: UltraScale架构中的集成MAC

赛灵思实现了一款可将芯片间连接速度最高扩展至150 Gb/s的集成式Interlaken IP核。该款赛灵思 IP核基于业界领先且部署最为广泛的实现方案。这是一种针对Interlaken接口协议规范协议1.2版本的高灵活性、高性能、低功耗实现方案，可支持12.5 Gb/s和25 Gb/s收发器。由于与UltraScale架构中的收发器技术以及灵活的协议层相结合，集成IP核能最大程度减小芯片间连接所需引脚和功耗开销。

在Virtex UltraScale FPGA中集成以太网MAC和Interlaken IP核可以为系统和用户带来多种优势。集成IP核与同等的软IP核方案相比具有更低的时延，能够实现前所未有的高性能。以前用来实现软MAC和Interlaken接口模块的FPGA资源现在可被设计人员用来以更低的功耗执行数据包预处理、时戳等其他功能。此外，将多芯片功能集成到一个UltraScale FPGA中能获得显著的功耗降低效果。

## 电源管理

赛灵思通过System Monitor (SYSMON)和XADC为多代产品提供片上和片外监控功能，以支持智能系统和电源管理。

赛灵思在UltraScale架构中增强了SYSMON功能，以更好地满足用户的电源和系统管理要求。片上电源传感器的数量已从三个扩展到七个，新增了四个新型用户自定义片上电源传感器。这些传感器经过配置后可以访问芯片上的任何Vcco电源电压。此外，可使用任意I/O bank支持16个SYSMON的附加外部模拟输入。

最新的集成式I2C接口允许电源或系统管理器通过行业标准管理接口访问SYSMON数据（预配置和后配置均可）。利用该接口便于访问重要的FPGA实时运行条件，能极大提高系统的可靠性与安全性。

## Vivado设计套件与功耗优化

最先针对赛灵思7系列器件推出的Vivado®设计套件是一款面向下一个十年赛灵思All Programmable器件（包括UltraScale架构）全新开发的SoC增强型设计环境。Vivado设计套件能解决可编程系统集成与实现过程中出现的关键设计瓶颈，与同类竞争开发环境相比可将生产力提高多达四倍。Vivado工具利用软件支持的功耗优化技术进一步降低了芯片功耗。

Vivado设计套件采用多变量的成本函数找到最佳布局方案，使设计人员能够快速找到可布线的方案（器件利用率甚至超过90%）且不会降低性能。最佳布局方案还能降低互联功耗。

Vivado设计套件还支持UltraScale架构众多降耗特性。Vivado设计套件可生成用来驱动逻辑元件上叶节点时钟缓冲器使能信号的逻辑，进而对部分设计实施功率门控。该工具还能用设计人员代码自动生成相应逻辑，用以实现对block RAM的静态和动态功率门控。此外，Vivado设计套件可推断出级联block RAM，以充分利用UltraScale架构的效率优势。

Vivado设计套件还可对整个设计自动执行智能时钟门控优化。这些优化不会使现有逻辑或时钟产生可能改变设计行为的变化。时钟门控功能采用一套创新算法，可对包括原有和第三方IP模块在内的所有设计部分进行分析。可在每个时钟周期内分析源寄存器的输出逻辑。再利用赛灵思20nm逻辑器件中众多时钟使能信号中的一个关闭那些对逻辑结果不起作用的输出。随后，生成精细的时钟门控或逻辑门控信号来抵消多余的开关活动。



## 结论

赛灵思显著降低了UltraScale架构的功耗要求。赛灵思通过采用整体方案降低了FPGA和系统功耗，能够在 DSP、串行收发器、block RAM以及I/O等多个功能模块上实现显著的功耗降低，并实现与Vivado设计套件及其稳定可靠的开发工具的完美集成。赛灵思20nm器件的总功耗可降低高达45%，通过将20nm器件最大工艺与前一代同类器件对比发现，最大工艺下甚至能实现更大幅度的功耗降低。充分利用集成级联功能、集成高带宽以太网 MAC与Interlaken IP、存储器接口以及高级时钟与逻辑门控软件，还可进一步降低功耗。表1给出了UltraScale架构降耗策略，以及使这些策略成为现实的具体赛灵思创新技术。

表1: UltraScale架构功耗降低创新技术一览表

功耗降低方法	架构创新
<b>静态功耗</b>	
总静态功耗降低	<ul style="list-style-type: none"> <li>20nm SoC 工艺节点</li> </ul>
Power Binning	<ul style="list-style-type: none"> <li>C级、I级、-1IL 级对比</li> <li>采用静态功耗分档slice的SSI技术</li> </ul>
关闭未使用资源	<ul style="list-style-type: none"> <li>I/O和block RAM</li> </ul>
电压调节	<ul style="list-style-type: none"> <li>-1IL (0.95V、0.9V)</li> </ul>
<b>动态功耗</b>	
智能时钟门控	<ul style="list-style-type: none"> <li>基于软件</li> </ul>
基于硬件的时钟功耗节省	<ul style="list-style-type: none"> <li>分段时钟网络</li> <li>精细时钟门控</li> </ul>
Block RAM功耗	<ul style="list-style-type: none"> <li>集成数据级联</li> <li>集成地址级联</li> <li>动态功率门控以节省静态功耗</li> <li>相对7系列功耗降低60%</li> </ul>
DSP功耗	<ul style="list-style-type: none"> <li>实现更高利用率，减少芯片面积和功耗</li> <li>Wide XOR</li> <li>相对7系列功耗降低20%</li> </ul>
<b>I/O 和存储器</b>	
I/O和存储器接口功耗降低	<ul style="list-style-type: none"> <li>DDR4 1.2V功耗节省</li> <li>伪开漏</li> <li>在空闲时关闭终端和接收器电力</li> <li>DCI/低功耗 IBUF</li> <li>相对7系列（DDR3）功耗降低20%</li> </ul>
<b>串行收发器</b>	
低功耗模式	<ul style="list-style-type: none"> <li>LPM 模式</li> </ul>
通用收发器功耗降低	<ul style="list-style-type: none"> <li>重新架构设计的收发器；相对7系列功耗大幅降低</li> </ul>
以太网MAC/Interlaken MAC	<ul style="list-style-type: none"> <li>集成MAC显著降低功耗</li> </ul>

## 更多资源

1. [WP436](#), 充分利用赛灵思28nm 7系列FPGA的功耗领先优势
2. [WP389](#), 降低赛灵思28 nm 7系列器件功耗
3. [赛灵思Youku 频道上的UltraScale优势演示视频](#)
4. [UG997](#), Vivado功耗分析与优化指南
5. [Kintex UltraScale架构功耗估计器](#)

## 修订历史

下表显示了本文档的修订历史:

日期	版本	修订描述
2014年5月1日	1.0	赛灵思初始版本

## Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx's limited warranty, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

## Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

